



TITLE:

生体医療用の高感度半導体放射線 検出器の電極材料の開発

AUTHOR(S):

村上, 正紀

CITATION:

村上, 正紀. 生体医療用の高感度半導体放射線検出器の電極材料の開発.
2003

ISSUE DATE:

2003-05

URL:

<http://hdl.handle.net/2433/84802>

RIGHT:

生体医療用の高感度半導体放射線検出器
の電極材料の開発

(研究課題番号 13450287)

平成13年度～平成14年度科学研究費補助金(基盤研究 (B) (2))

研究成果報告書

京 都 大 学 図 書



9810058047

附 属 図 書 館

平成15年5月

研究代表者 村 上 正 紀

(京都大学大学院工学研究科材料工学専攻・教授)

科研

2002

201

はしがき

本報告書は、平成 13 年度および 14 年度の二年間にわたって科学研究費補助金の援助のもとに、京都大学工学研究科材料工学専攻において行われた「生体医療用の高感度半導体放射線検出器の電極材料の開発」に関する研究成果をまとめたものである。

近年の放射線を用いた医療機器の進展は目覚ましいものがある。しかし、たとえ診断精度が向上したとしても、被験者の放射線被爆量が増加しては医療機器が本来持つべき意味が失われてしまう。現在、人体への放射線の被爆量を減少させながらも微量な放射線をも検出できる感度の良い放射線検出器の開発に重大な関心が寄せられている。

CdTe 化合物半導体は、放射線の吸収率が高いため「感度」の面で有利であり、常温でも十分な精度を持つ放射線検出器への応用が期待されている。特に近年になって、従来未確立であった高品質の CdTe 単結晶を作製技術が確立され、開発に俄然注目が集まっている。しかしながら、実用化には検出感度の向上および動作時の感度低下問題の克服が不可欠である。これらの現象についてはこれまで多くの研究がなされているものの、未だにその詳細は解明されていない。

本研究の目標は、二年間にわたり、CdTe 半導体放射線検出器実用化の障害となっている上記の問題に対して、CdTe/電極材界面の微細構造制御による改善を試みることにある。これにより、放射線検出器に必要な電極材料の普遍的な設計指針を構築することが期待される。

研究代表者 京都大学工学研究科
村 上 正 紀

平成 13, 14 年度科学研究費補助金 (基盤研究(B)(2))

研究成果報告書

1. 課題番号 13450287

2. 課題

「生体医療用の高感度半導体放射線検出器の電極材料の開発」

3. 研究組織

研究代表者：村上正紀（京都大学工学研究科教授）

研究分担者：守山実希（京都大学工学研究科助手）

4. 直接経費

平成 13 年度 7,400 千円

平成 14 年度 6,900 千円

計 14,300 千円

5. 研究発表

学会および国際会議

(1) 喜屋武篤史, 大野良一, 守山実希, 国須正洋, 小出康夫, 村上正紀, 「CdTe 放射線検出器用コンタクト材の開発」, 日本金属学会 2001 年秋期大会講演 (S11・8)

(2) M. Moriyama, M. Kunisu, A. Kyam, R. Ohno and Masanori Murakami, “Development of highly reliable Schottky In contacts on p-type CdTe for radiation detectors”, 2002 ELECTRONIC MATERIALS CONFERENCE

出版物

(1) 守山実希, 村上正紀, 喜屋武篤史, 大野良一
金属・半導体界面反応層の微細構造と電気特性,
電子顕微鏡法の実践と応用写真集 (日本金属学会 編), (2002),
p210.

第一章 序論

1-1 背景

近年の医療分野における目覚ましい進展を支える技術の一つに、放射線を用いた医療機器の開発が挙げられる。中でも、レントゲンや CT スキャン等の機器による人体内部の検査技術の進歩は、的確な疾患部位の特定によって患者に最適な施術を行うことを可能とする。これらの機器による診断精度の向上によって尊い人命が救われていることは、科学技術の進歩が経済的な発展だけでなく人類の幸福に広く寄与していることを示す好例であると言える。しかし一方で、人体への放射線照射は少なからず人体に悪影響を与えることも周知の事実である。診断精度を向上させるために放射線の照射量が増加しては医療機器が本来持つべき意味が失われてしまう。現在、人体への放射線の被爆量を減少させながらも微量な放射線をも検出できる感度の良い放射線検出器の開発に重大な関心が寄せられている。

放射線検出器には、気体を封入した電離箱、比例計数管、GM 計数管、シンチレーションカウンタなど様々なものがあり、用途に応じて使い分けられている。中でも半導体放射線検出器はエネルギー分解能に優れ、且つ小型化が容易である点で有利である⁽¹⁾。従来、半導体検出器には主に Si や Ge などが用いられてきたが、常温では精度の向上が困難であり、実用には液体窒素による冷却が必須となるため、機器の大型化や管理の困難を招くという問題があった⁽¹⁾。

CdTe 化合物半導体は、Si や Ge に比べて原子番号が大きく放射線の吸収率が高いため「感度」の面で有利であり、常温でも十分な精度を実現可能である⁽²⁾。放射線照射量を低減させつつ検出感度

を向上させることができるため、リアルタイムで体内の様子をモニターできる高性能 X 線カメラ等、これまで開発困難であった新規の医療用放射線検出機器への応用が期待できる。特に近年になって、従来未確立であった高品質の CdTe 単結晶を作製技術が確立されるに至り⁽³⁾、CdTe 検出器の開発に俄然注目が集まっているが、実用化には改善すべきいくつかの問題を抱えている。以下に、放射線検出の原理及び CdTe 検出器の実用化に対する課題を説明する。

1-2 検出原理

放射線検出器は、入射した放射線を電気信号に変換して出力することによって放射線を検出する。検出器は半導体と電極材から構成される検出部分と、出力された電気信号の演算を行う部分からなる。図 1.1 に半導体放射線検出器の検出原理を模式的に示す。一般に、エネルギー $E(\text{eV})$ の放射線が半導体へ入射すると、

$$E=h\nu \quad (\text{式 1})$$

(h : プランク定数(eV sec), ν : 放射線の振動数($1/\text{sec}$)) に従い、放射線のエネルギー E に比例した数の電子・正孔対が半導体内部に生成する。半導体表面に電極材を形成し半導体内部に電圧を印加すると、発生した電子・正孔対は印加電圧により分離し電極に集電される。この電気信号を増幅器などによって取り出し、カウンタにより計測する。放射線を正確に検出するためには、発生した電子・正孔対をすべて電極に集電し、全電荷を電気信号に変換しなければならない。しかし、放射線の入射によって発生した電子・正孔対は、半導体中の平衡濃度以上に電子・正孔対を増加させるため、これら

の電子・正孔対は再結合によって消滅しようとする傾向を持つ⁽⁴⁾。
キャリアの平均自由行程 $l(\text{cm})$ は、移動度 $\mu(\text{cm}^2/\text{V sec})$ 、寿命 $\tau(\text{sec})$ 、
電場 $E(\text{V/cm})$ を使って、

$$l = \mu \tau E \quad (\text{式 2})$$

で表される。また、結晶中の格子欠陥が存在すると電荷が電極に到達するまでに捕獲されてしまうため、やはり電荷の集電が不完全となる。従って、より正確に放射線検出を行うための条件は、

1. 検出器の厚さ d を l より小さくする
2. 移動度 μ を大きくする
3. 寿命 τ を大きくする
4. 電場 E (印加電圧) を大きくする

となる。

前述したように近年、CdTe 半導体は大幅な性能の向上が実現されているが、CdTe は正孔の移動度が小さいため⁽²⁾、キャリアの捕獲・再結合に対して基板の品質向上のみで現在以上の特性向上を図ることは極めて困難である。従って、CdTe 半導体検出器の検出特性を向上させるためには印加電圧を可能な限り増大させることが要求される。しかしながら、単に印加電圧を増大させると、放射線が入射しない状態で半導体中を流れる電流（暗電流）の増加を招きやすく、これが放射線検出の際にバックグラウンド・ノイズとなって検出精度は悪化する。放射線検出感度の向上には、高電圧印加時に流れる暗電流の抑制が不可欠であり、これを実現するためには電極材/CdTe 界面の電気伝導機構の理解に基づいた電極材の開発が極めて重要となる。

1-3 金属／半導体界面の電気伝導機構

一般に、不純物を添加した半導体と金属電極を接触させると、両者の仕事関数が異なるために電荷の再分配が起こり、フェルミ準位が一致して平衡状態に達する。金属／半導体界面の電気特性は、一般的に金属の仕事関数に依存して変化する。例えば、アクセプタとなる不純物を添加した p 型半導体に金属を接触させるとき、金属が半導体の仕事関数よりも小さい仕事関数を持つならば、界面付近に電氣的障壁（ショットキー障壁）を生じ、結果として整流性を持つ（ショットキー電極）（図 1.2）⁽⁴⁾。それに対して、金属が半導体の仕事関数よりも大きい仕事関数を持つならば、オームの法則を満たすような電気特性を示す（オーミック電極）。このことから、暗電流の抑制には CdTe 半導体よりも仕事関数の小さな金属を電極材として選択することによりショットキー電極を形成し、金属／半導体界面に逆バイアスをかければよいことが分かる（図 1.3）。しかし、実際の半導体/電極界面では他の様々な因子（界面反応、微細構造等）によって、その電気伝導機構は大きく影響を受けるため、必ずしも仕事関数のみを電極材選択の指針とすることはできないことに注意せねばならない。

1-4 検出特性の劣化（polarization effect）

上記の高性能ショットキー電極材の開発以外に、CdTe 半導体検出器の実用化に対する課題として、検出性能が数分から数十分程度の使用時間中に著しく低下する「劣化」の問題がある。これは、polarization effect として知られており⁽⁵⁾、電圧印加の有無に関わらず放射線入射を継続させることにより発現する極めて大きな問

題である。これまでの研究から

1. 印加電圧を一旦除去し、再び電圧を印加すると検出特性は戻る
2. 両面の電極材がオーミック電極の場合、劣化は起こりにくい
3. 高電圧を印加すると劣化しにくい
4. 低温で動作させると劣化しにくい

等が実験的に明らかにされている。polarization effect のメカニズムについては、様々なモデルが提案されており、界面近傍における電荷の堆積に起因するという考えが有力とされているが、その詳細は不明である⁽⁶⁾⁽⁷⁾⁽⁸⁾。

検出特性の劣化は放射線検出器の実用化に対して非常に大きな障壁である。このため多くの企業では、上記 2. の理由によってショットキー電極を選択せず、暗電流の増加もしくは検出精度の低下を免れないオーミック電極を用いた CdTe 放射線検出器の開発を選択せざるを得ない状況にあった。

1-5 In/CdTe/Pt 検出器

最近、アクロラド社では、高品質の CdTe 単結晶作製に成功し、この CdTe 基板 (p 型) の一方に In を成膜することにより高性能のショットキー電極材が形成され、精度向上と劣化の抑制も実現されることを見いだした⁽³⁾⁽⁵⁾。これにより、従来のオーミック電極を用いた検出器よりも飛躍的に検出特性に優れた CdTe 半導体放射線検出器を開発することが可能となる。

In の仕事関数は 4.1eV と小さく、CdTe 半導体に対し In を電極

材として使用することによるショットキー電極の作製は古くから検討されてきた⁽⁸⁾が In 電極の電気伝導機構に対する理解は不十分な現状である。また、アクロアド社では In 電極材成膜時に CdTe 基板を In の融点以上の温度に加熱して真空蒸着する方法を採用しており、これが従来の In 電極材よりも高性能な電極材の実現に大きく寄与したことが予想されるが、基板加熱を行って成膜した In/CdTe 界面における反応機構や微細構造および、これらと電気伝導機構との関係は全く不明である。CdTe 放射線検出器の実用化を実現するためには、In 電極材の微細構造と検出特性の関係を調査し、高性能電極材形成メカニズムを理解することによって、さらなる検出精度の向上と劣化の抑制を実現しなければならない。

1-6 研究目的

本研究では、CdTe 半導体に対する In 電極材の電気特性（放射線検出特性）と電極材の微細構造の関係を明らかとし、高性能ショットキー電極材の設計指針を得ることを目的として実験を行う。特に、基板を加熱して真空蒸着された In 電極材と CdTe 基板との反応に着目し、性能向上の材料学的因子の抽出を目論む。

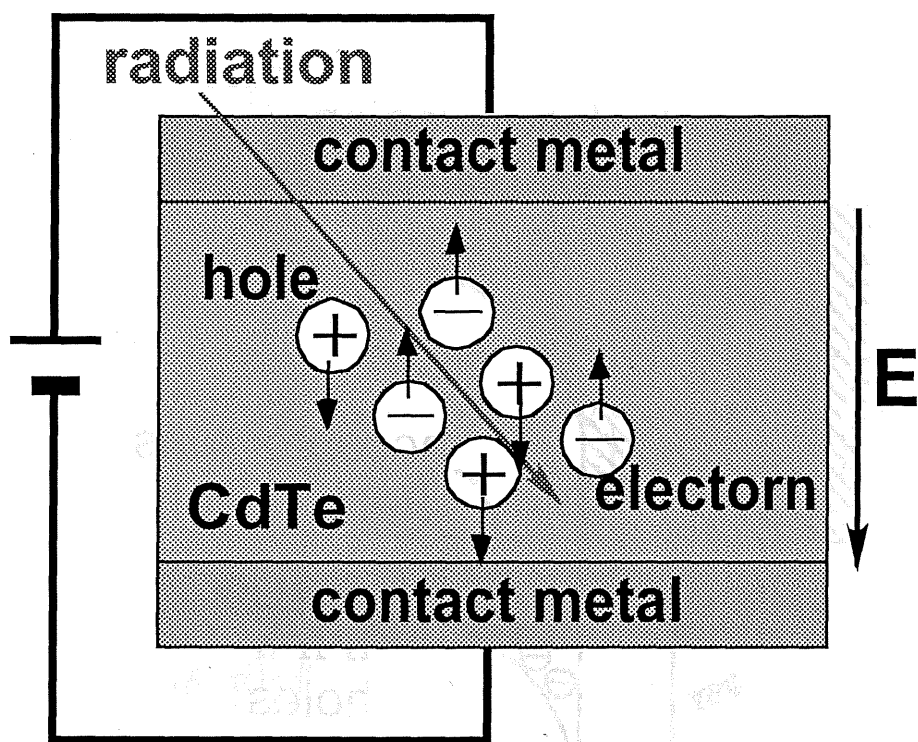


図 1.1 半導体放射線検出器の検出原理

材として使用することによるショットキー電極の作製は古くから検討されてきた¹⁰⁾が、In 電極の電気伝導機構に対する理解は不十分な現状である。また、オクシロイド社では In 電極形成時に CdIn 基板を In の融点以上の温度に加熱して真空蒸着する方法を採用しており、これが従来の In 電極材よりも高性能な電極材の実現に大きく寄与したことが予想されるが、基板加熱を行って成膜した

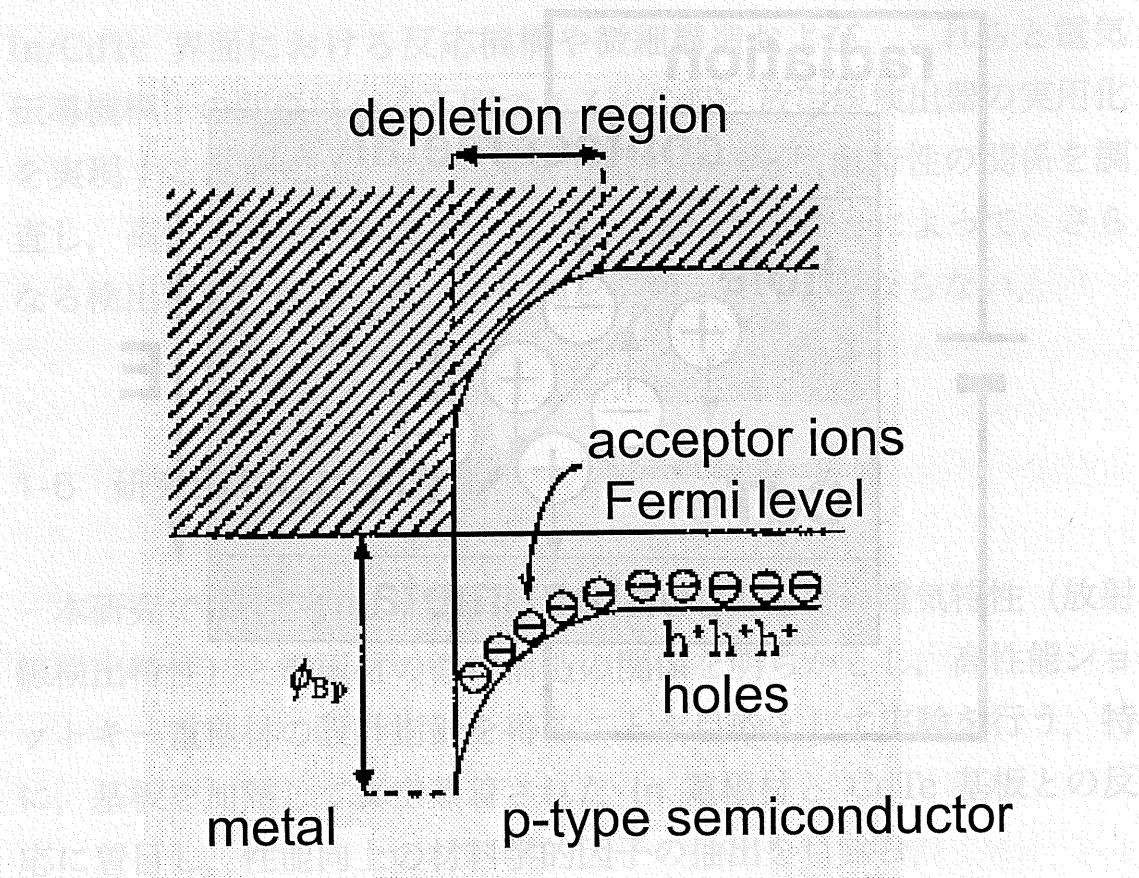


図 1.2 金属/半導体界面のエネルギーバンド図

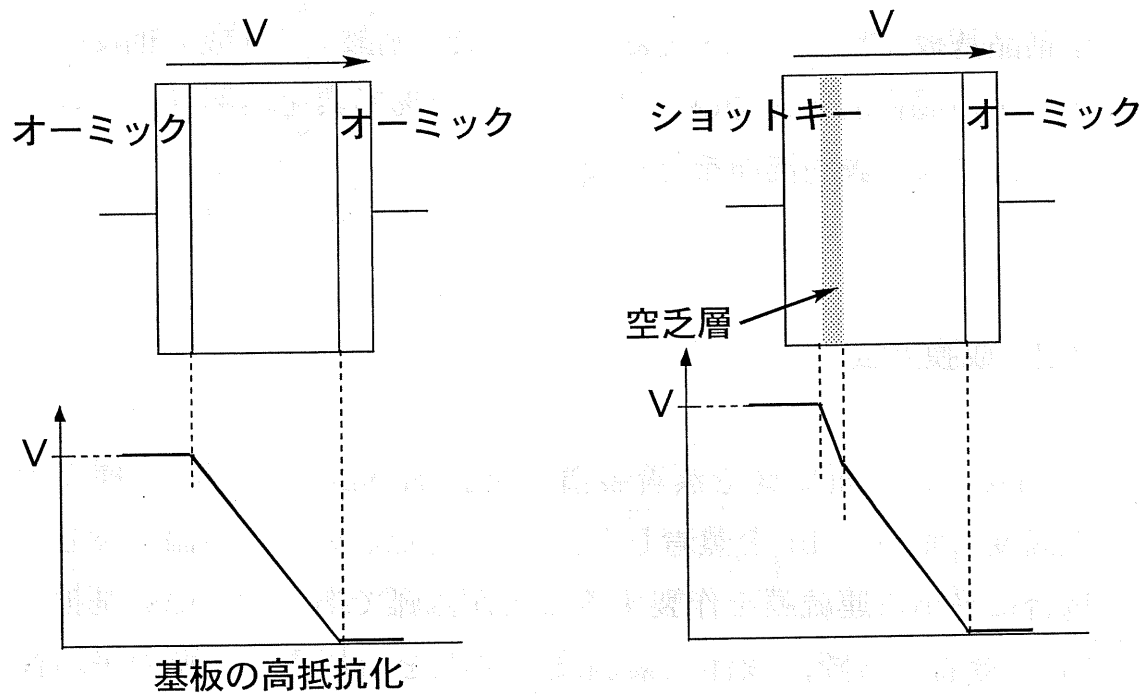


図 1.3 ショットキー電極材を有する検出器の印加電圧

第2章 実験方法

2-1 基板

本実験では、アクセプタとして働く Cl をドープした (111) CdTe 単結晶基板 (アクロラド社製) を用いた。硝酸：フッ酸：酢酸 = 1 : 1 : 1 の混合溶液およびメタノールに 1 % 臭素を溶解させたエッチング液により表面洗浄を行った。

2-2 成膜方法

CdTe(111)_B 面に真空蒸着装置 (抵抗加熱法) を用いて種々の基板温度において In を蒸着した。In は融点が低く、常温で蒸着した場合に平坦な連続膜を作製することが困難である。GaAs 基板上に In を蒸着する際、液体窒素温度に基板を冷却すると膜の平坦性が非常に向上するという報告⁽⁹⁾ がなされていることから、本研究でも基板を低温 (液体窒素温度) に冷却して蒸着を行った (図 2.1)。なお基板は蒸着直前には特に表面処理をしなかった。

電気特性評価のため、CdTe(111)_A 面に無電解めっき法により Pt を成膜した。無電解めっき法で成膜された Pt 電極材はオーム性電極材となる。作製した試料の模式図を図 2.2 に示す。

2-3 熱処理

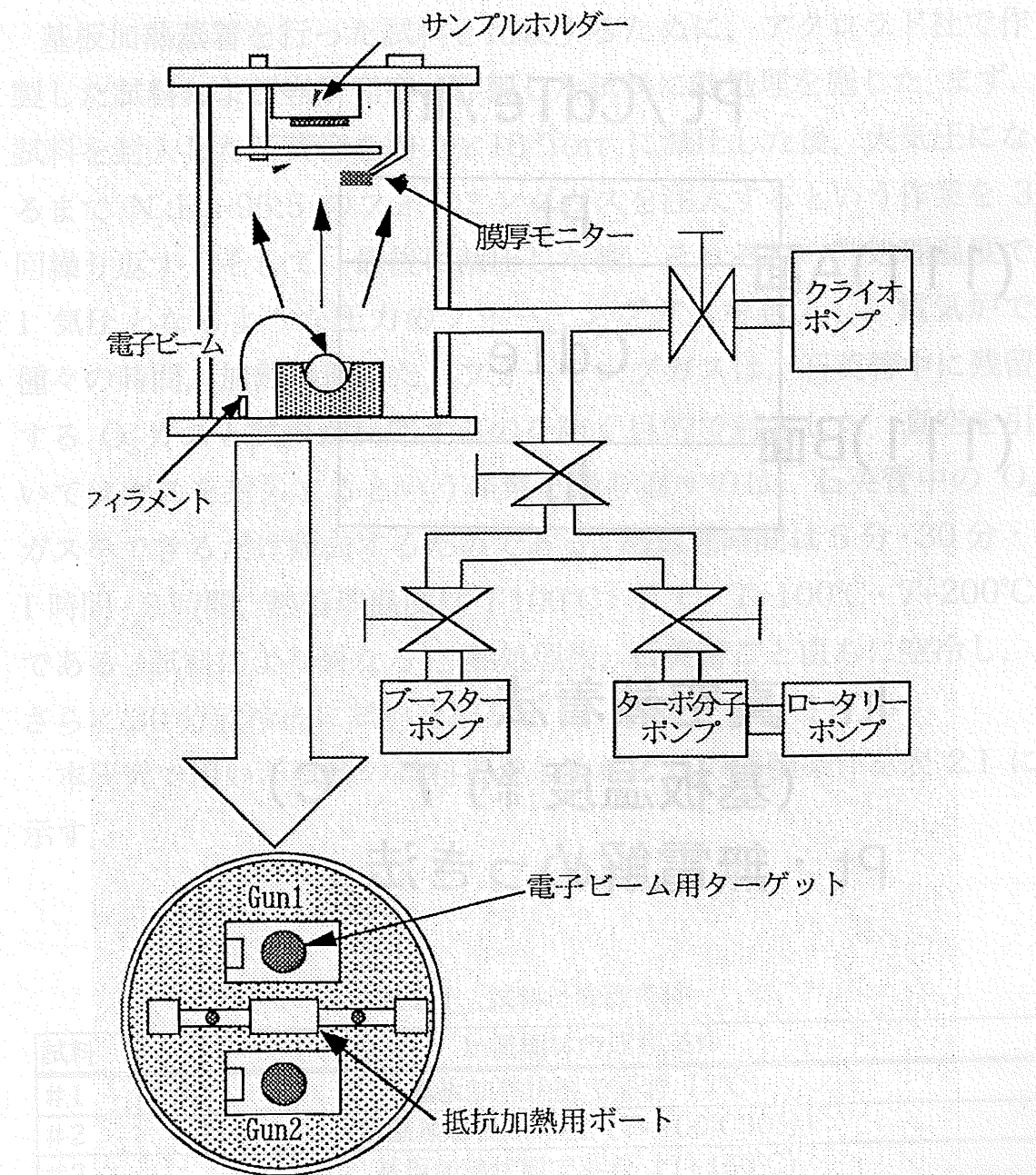
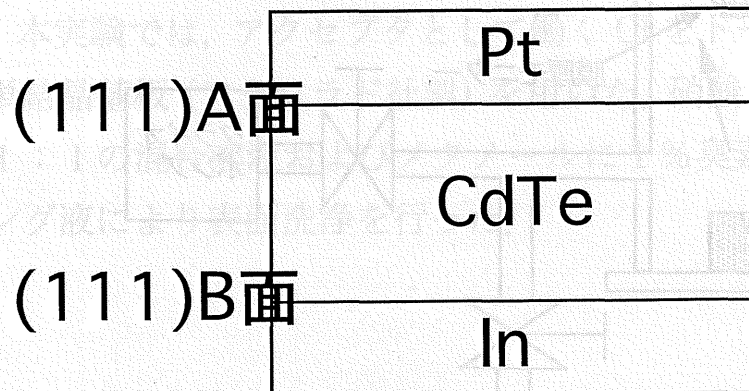


図 2.1 真空蒸着装置の概要

第2章 実験方法

2-1 基板

Pt /CdTe /In



2-2 成膜方法

In : 真空蒸着法

(基板温度 約 T °C)

Pt : 無電解めっき法

図 2.2 Pt/CdTe/In 試料の模式図

2-3 熱処理

基板加熱蒸着を行った試料と比較するために、アクロアド社で作製した試料および当研究室で作製した試料に熱処理を施した。まず、試料を封入した石英管を約 3×10^{-3} Torr に減圧した後、大気圧になるまで $N_2:H_2=95:5$ のフォーミングガスを注入するという作業を 3 回繰り返す。そして、最後に減圧した後、それぞれの熱処理温度で 1 気圧となるような圧力のフォーミングガスを封入し、電気炉で種々の時間、加熱処理した。フォーミングガスは、石英管中に残留する O_2 ガスと試料が反応するのを防ぐ目的で封入した。真空を引いてはガスを封入するという作業を繰り返すのは、石英管中の O_2 ガスをできるだけ除去するためである。熱処理時間は 5 分・30 分・1 時間・2 時間、熱処理温度は $T+100^\circ\text{C}$ ・ $T^\circ\text{C}$ ・ $T+100^\circ\text{C}$ ・ $T+200^\circ\text{C}$ である（試料により異なる）。熱処理後、石英管ごと直ちに空冷し、さらに 30 分放冷後に試料を取り出し、各測定を行った。

本研究で用いた試料の試料番号とそれぞれの成膜条件を表 2.1 に示す。

表 2.1 試料と成膜条件

試料	In電極材の成膜条件
#1	基板加熱状態で蒸着 ($T^\circ\text{C}$)
#2	低温蒸着後熱処理 ($T+100^\circ\text{C}$ 30分)
#3	基板加熱状態で蒸着 ($T+150^\circ\text{C}$)
#4	基板加熱状態で蒸着 ($T+200^\circ\text{C}$)
#5	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T^\circ\text{C}$ 5分)
#6	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T^\circ\text{C}$ 30分)
#7	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T^\circ\text{C}$ 2時間)
#8	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T+200^\circ\text{C}$ 2時間)
#9	基板加熱状態で蒸着 ($T+150^\circ\text{C}$) 後 $T+150^\circ\text{C}$ で1時間保持
#10	基板を熱処理 ($T^\circ\text{C}$ 1時間) 後低温で蒸着し熱処理 ($T^\circ\text{C}$ 1時間)

2-4 光学顕微鏡による表面観察

各試料の表面形状を調べるために、微分干渉型光学顕微鏡を用いて表面観察を行った。より詳細な表面組織および断面組織の観察には、FIB（集束イオンビーム）装置による SIM（走査型イオン顕微鏡）観察を用いた。

2-5 電気特性評価

一般に電極材の電気特性評価には、電極材/半導体界面の接触抵抗測定などが多く用いられるが、本研究では高電圧（50 V 程度）下での電流値を測定し、性能を定量的に判断する目安とした。本研究で作製したすべての試料において、ショットキー特性（整流性）が見られたことから、逆バイアス印加時の暗電流を特性評価に用いた。

測定は、図 2.3 のように試料に電極となる針をおき、種々の電圧を印加した際の電流を測定した。

劣化の程度を評価するためには、実際に放射線を照射し、放射線検出特性を調べる必要があるが、本研究では劣化が起これば電極材のショットキー特性にも何らかの影響を及ぼすはずであると予想し、印加電圧一定で試料を流れる電流の時間変化を測定することにより、劣化の評価として使用した。本手法では厳密な意味での劣化の評価にはならないが、簡易的な評価法として測定を試みた。

2-6 X 線回折法による反応生成物の同定

In(または Pt)と CdTe の界面での反応を調べるために、X線回折法により反応物の同定を行った。測定条件を表 2.3 に示す。22° から 25° までの間には CdTe 基板の(111)面の回折ピークが存在するが、その回折強度は電極材の回折ピークと比較して非常に大きいため、基板の回折ピーク付近を除く範囲で走査した。

表 2.2 X 線回折法の測定条件

X線源	Cu K α ($\lambda = 1.54178 \text{ \AA}$)
管電圧/管電流	40kV/100mA
走査範囲	10° ~22° 25° ~110°
スキャンスピード	1° /min
スキャンステップ	0.05°
発散スリット/散乱スリット/受光スリット	0.5° /0.5° /0.3mm

2-7 TEM による微細断面構造解析

FIB により界面に平行な方向の厚さを約 200nm に加工した試料を、TEM (透過電子顕微鏡) を用いて、試料の In 電極材/CdTe 界面の構造を観察した (図 2.4)。

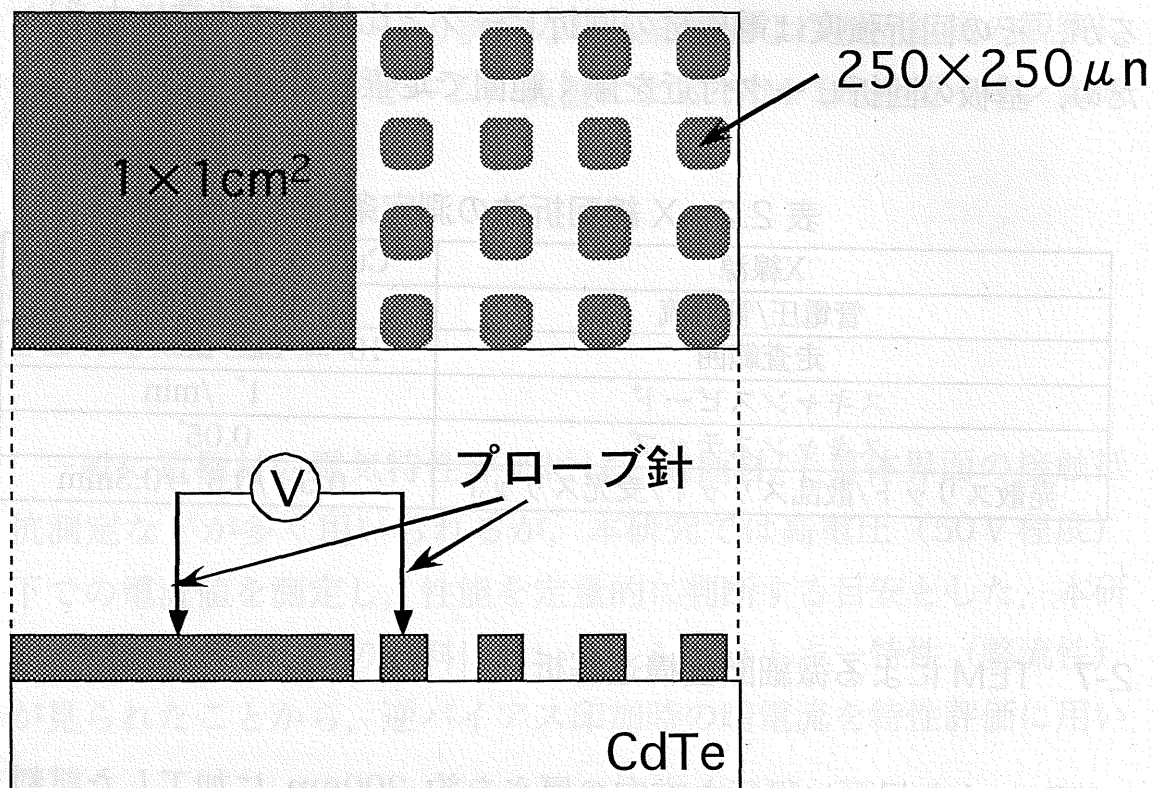


図 2.3 電気特性評価法の模式図

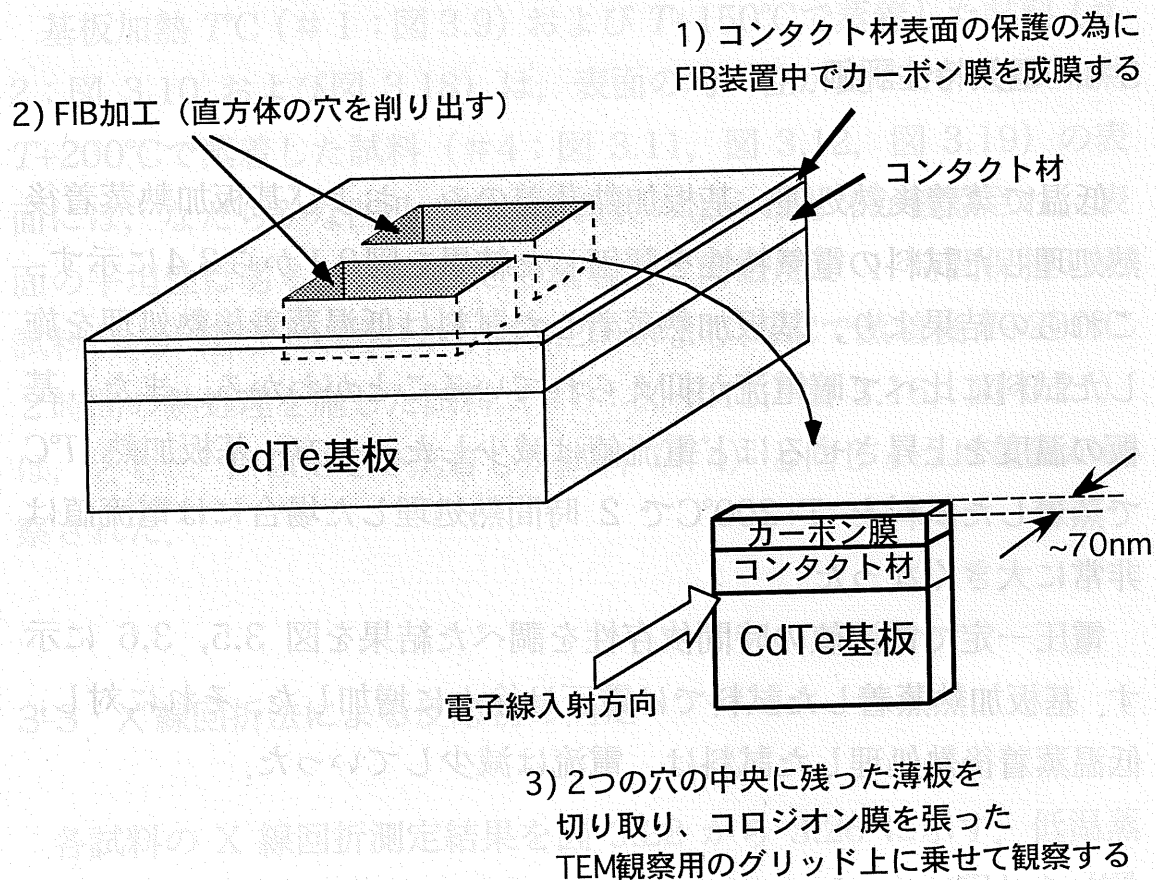


図 2.4 FIB 装置による断面 TEM 試料作製法

第3章 結果

3-1 電気特性評価

低温で蒸着後熱処理，基板加熱蒸着のみ，および基板加熱蒸着後熱処理した試料の電気特性を評価した結果を図3.1から3.4に示す．これらの結果より，基板加熱蒸着した試料は低温蒸着後熱処理を施した試料に比べて暗電流が抑えられていることがわかる．また，基板の温度を上昇させるほど電流値は減少した．一方，基板加熱 $T^{\circ}\text{C}$ で蒸着した試料を $T+200^{\circ}\text{C}$ で 2 時間熱処理した場合には電流値は非常に大きくなった．

電圧一定で電流値の時間依存性を調べた結果を図 3.5, 3.6 に示す．基板加熱蒸着した試料では電圧は徐々に増加した．それに対し，低温蒸着後熱処理した試料は，電流は減少していった．

3-2 表面観察

微分干渉型光学顕微鏡および SIM による各試料の表面観察結果を図 3.7～図 3.17 および図 3.18～図 3.21 にそれぞれ示す．低温で蒸着後熱処理した試料（#2）では，蒸着直後には図 3.7 のように表面起伏の少ない平滑な連続膜が得られたが，熱処理後には図 3.8 に示すようなドーナツ状の凹凸が観察され，不連続膜となっていた．このことから，CdTe 基板表面における In のぬれ性は悪く，反応も困難であることが予想される．あらかじめ熱処理した基板を用いて低温蒸着および熱処理した試料（#10：図 3.17）では凹凸はあるものの，ぬれ性は改善され，ドーナツ状の凹凸は観察されな

かった。これは真空中での基板加熱により CdTe 表面における In の反応が起こりやすい表面状態が得られる可能性を示唆している。

基板加熱 $T^{\circ}\text{C}$ (#1: 図 3.9) および $T+150^{\circ}\text{C}$ で蒸着した試料 (#2: 図 3.10 および図 3.18) は、表面の均一性が良いが、基板加熱 $T+200^{\circ}\text{C}$ で蒸着した試料 (#4: 図 3.11, 図 3.12, 図 3.19) の表面には、なだらかな凹凸と線状の亀裂のようなものが観察され、表面の平坦性は劣る。 $T+150^{\circ}\text{C}$ で蒸着後、同温度で 1 時間保持した試料 (#9: 図 3.13, 図 3.14, 図 3.20) および、 $T^{\circ}\text{C}$ で蒸着後 $T+200^{\circ}\text{C}$ 2 時間の熱処理を施した試料 (#8: 図 3.15, 図 3.16, 図 3.21) は、ともに $T+200^{\circ}\text{C}$ で蒸着した試料 (#4) と同じように亀裂が観察された。

3-3 X 線回折法による反応物の同定

各試料の X 線回折測定結果を図 3.22 から 3.26 に示す。低温蒸着後熱処理 (#2) を施した試料では単体 In のピークが現れた (図 3.11) が、基板加熱蒸着した試料 (#1, #3, #4) では In のピークは見られなかった (図 3.7)。また、基板温度 $T^{\circ}\text{C}$ および $T+150^{\circ}\text{C}$ で蒸着した試料 (#1, #3) は In_4Te_3 が生成しているのに対し、 $T+200^{\circ}\text{C}$ で蒸着した試料 (#4) では InTe が生成していることが分かった。基板温度 $T^{\circ}\text{C}$ で蒸着後、 $T^{\circ}\text{C}$ の熱処理を施した試料 (5 分, 30 分, 2 時間) (#5, #6, #7) ではいずれも回折ピークに大きな変化は見られない (図 3.8) が、 $T+200^{\circ}\text{C}$ で熱処理した試料 (#8) では In_4Te_3 が消失し InTe のピークのみが観察された (図 3.10)。同様に $T+150^{\circ}\text{C}$ で蒸着後 1 時間保持した試料 (#9) でも、 In_4Te_3 が消失し InTe が生成していた (図 3.9)。本実験で得られた試料と生成物の結果を表 3.1 にまとめた。

In_4Te_3 と InTe の結晶構造はそれぞれ斜方晶，正方晶であり，観察されるピークの数が非常に多いため，高角度側のピークは同定が困難であり，同定できなかったピークもいくつか存在したことから他の生成物が存在する可能性もあるが，本研究ではこれ以上の詳細な解析は行わなかった

表 3.1 試料と反応生成物

試料	In電極材の成膜条件	主な 反応生成物
#1	基板加熱状態で蒸着 ($T^\circ\text{C}$)	In_4Te_3
#2	低温蒸着後熱処理 ($T+100^\circ\text{C}$ 30分)	(In)
#3	基板加熱状態で蒸着 ($T+150^\circ\text{C}$)	In_4Te_3
#4	基板加熱状態で蒸着 ($T+200^\circ\text{C}$)	InTe
#5	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T^\circ\text{C}$ 5分)	In_4Te_3
#6	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T^\circ\text{C}$ 30分)	In_4Te_3
#7	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T^\circ\text{C}$ 2時間)	In_4Te_3
#8	基板加熱状態で蒸着 ($T^\circ\text{C}$) 後 (#1) 熱処理 ($T+200^\circ\text{C}$ 2時間)	InTe
#9	基板加熱状態で蒸着 ($T+150^\circ\text{C}$) 後 $T+150^\circ\text{C}$ で1時間保持	InTe
#10	基板を熱処理 ($T^\circ\text{C}$ 1時間) 後低温で蒸着し熱処理 ($T^\circ\text{C}$ 1時間)	(In)

3-4 TEM による断面観察

透過電子顕微鏡による界面近傍の断面観察結果を図 3.27 から 3.30 に示す。基板加熱蒸着した試料では In と基板 CdTe が反応していることが分かる。 $T^\circ\text{C}$ ， $T+150^\circ\text{C}$ 基板加熱の試料 (#1, #3) は，それぞれ図 3.27 図 3.28 のように界面の形状は明瞭な直線状であった (A,B)。一方， $T+200^\circ\text{C}$ 基板加熱 (#4) の試料では，図 3.26 のように界面が曲線状で大きく波打っており (C)，反応層中には微細な結晶粒 (直径約 50nm) が認められる (D)。

基板温度 $T+150^\circ\text{C}$ で蒸着後 $T+150^\circ\text{C}$ ，1 時間保持した試料 (#9) では $T+150^\circ\text{C}$ 基板加熱の試料と同様に界面は直線状 (E) であるが，

反応層には $T+200^{\circ}\text{C}$ 基板加熱の試料と同様に微細な結晶粒 (F) が認められた(図 3.27).

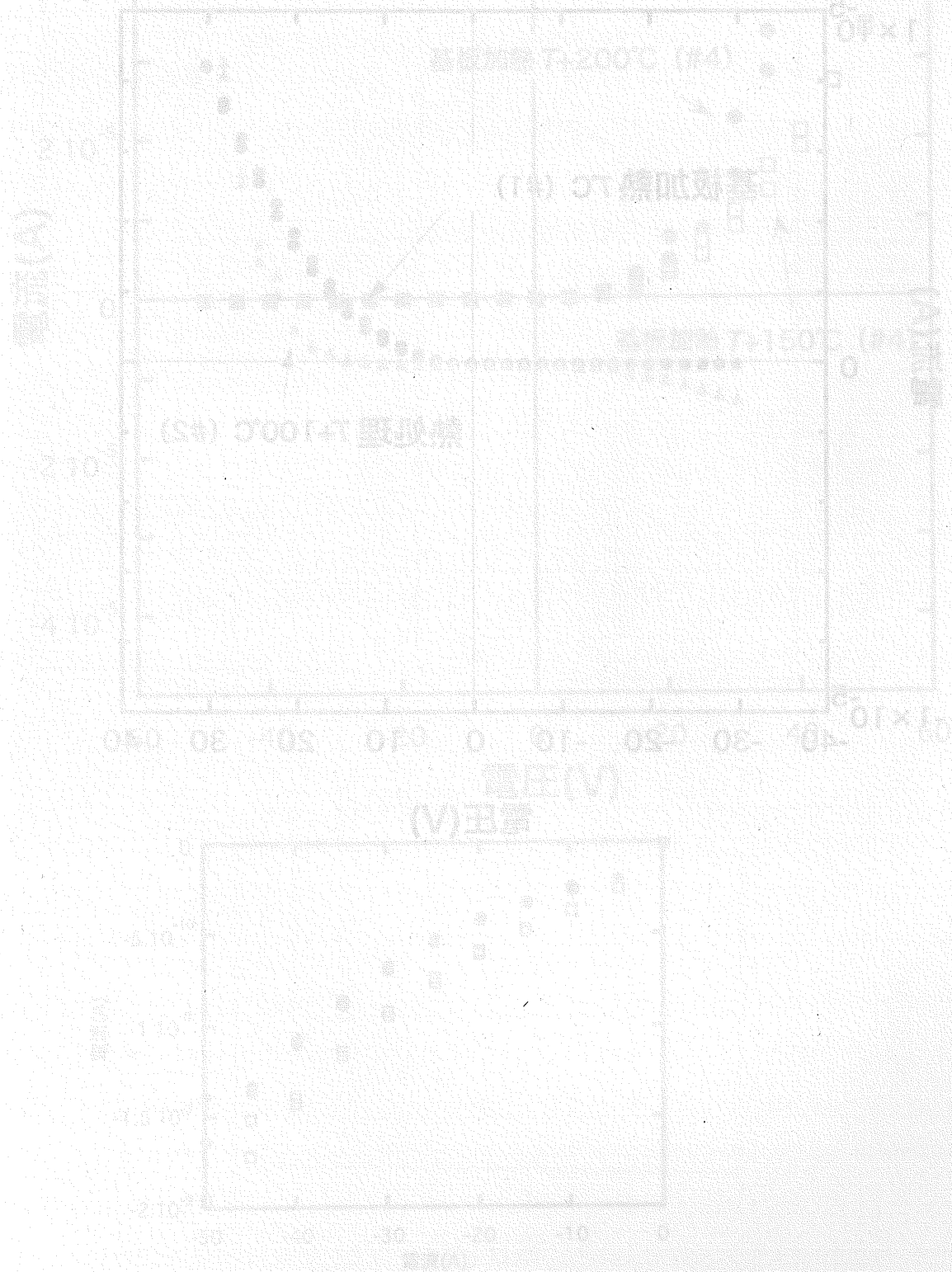


図 3.27 試料 9-3-5-1 の電圧-電流特性

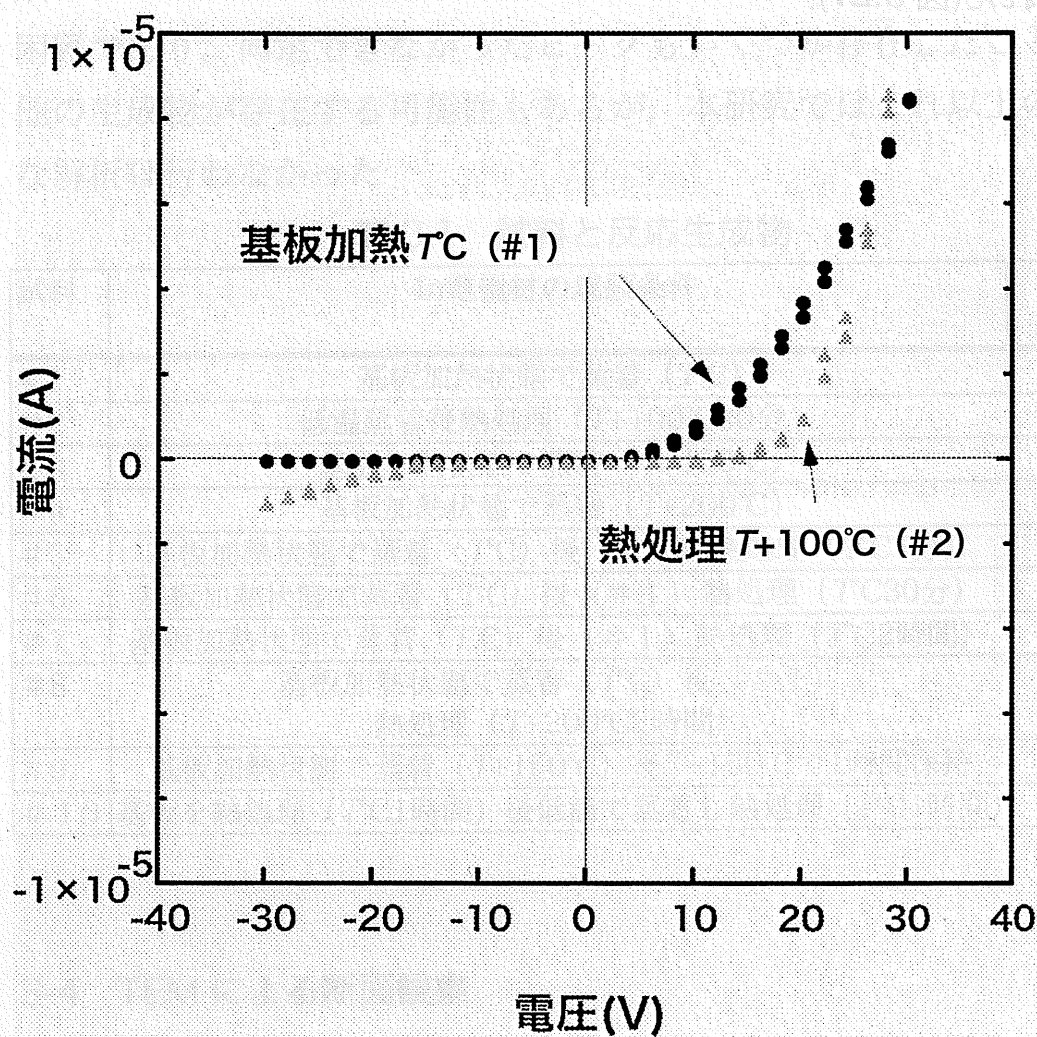


図 3.1 試料 #1 および #2 の I-V 測定結果

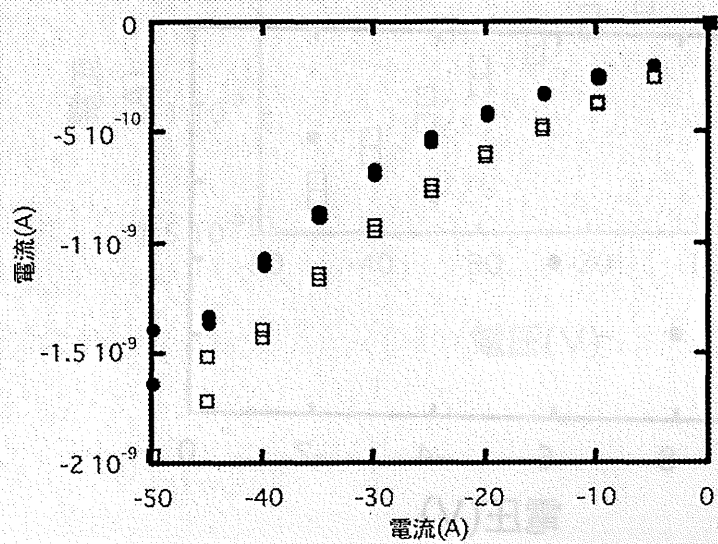
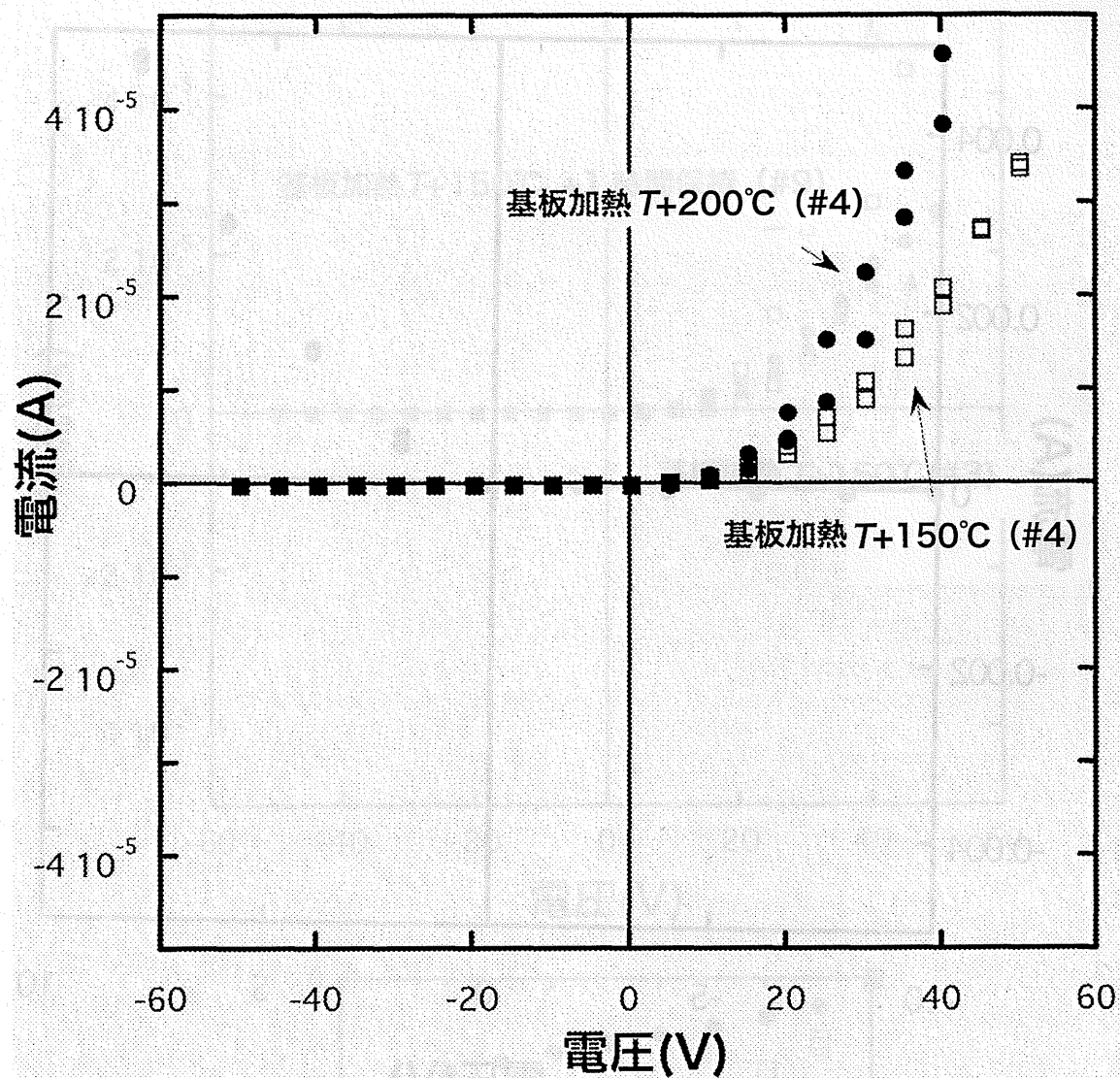


図 3.2 試料 #3 および#4 の I-V 測定結果

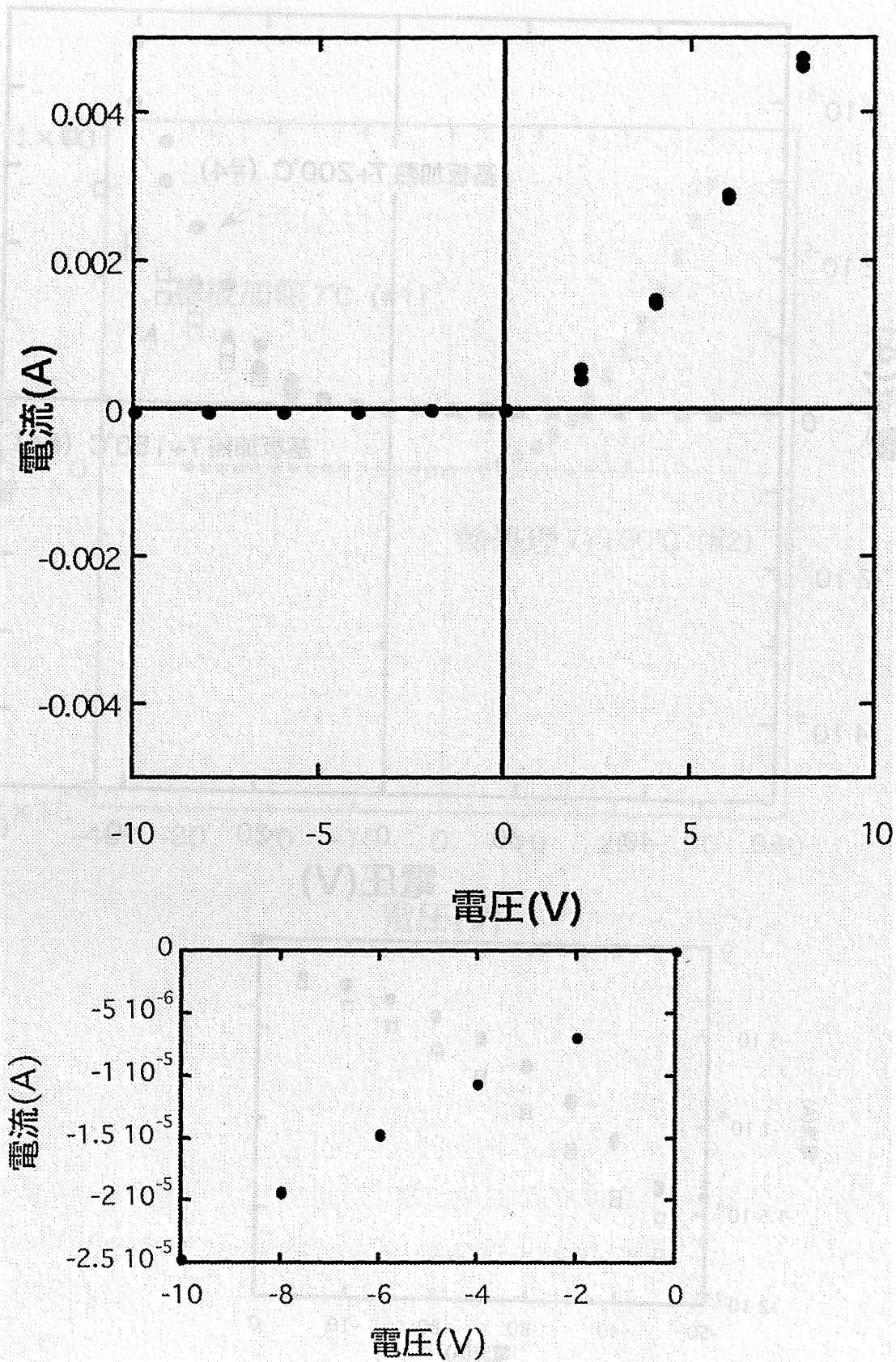


図 3.3 試料 #8 および #4 の I-V 測定結果

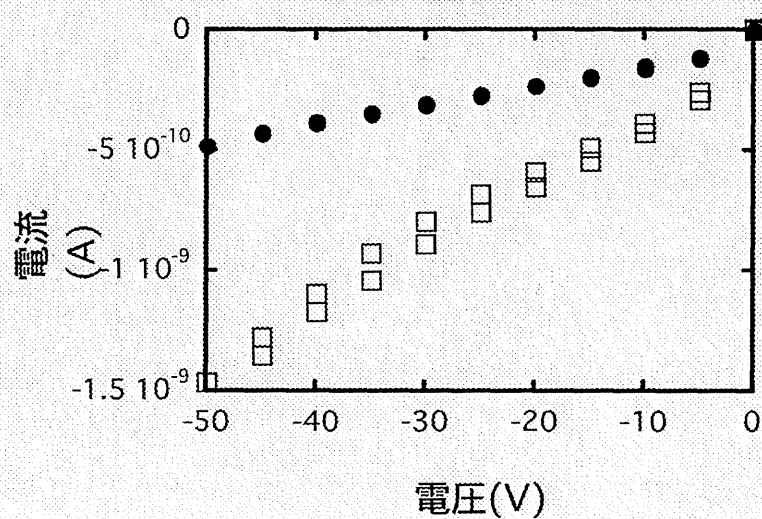
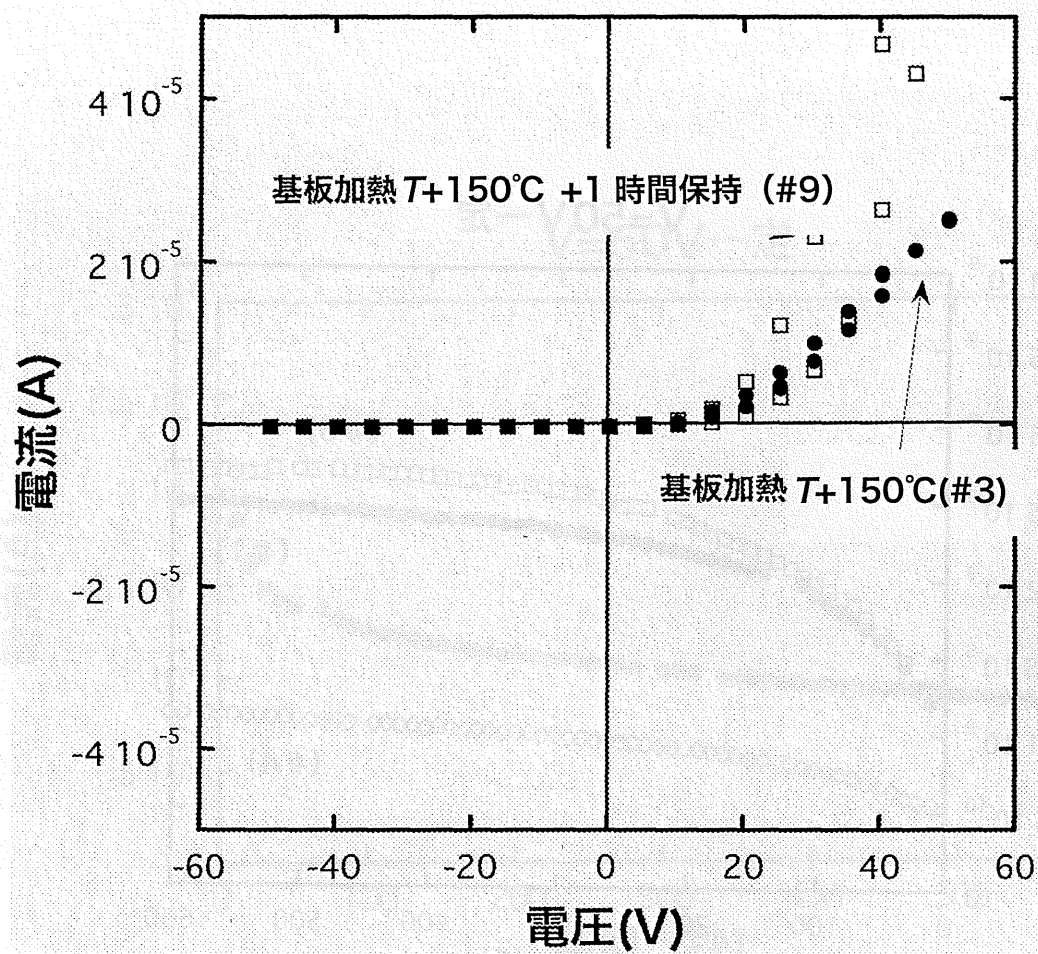


図 3.4 試料 #3 および#9 の I-V 測定結果

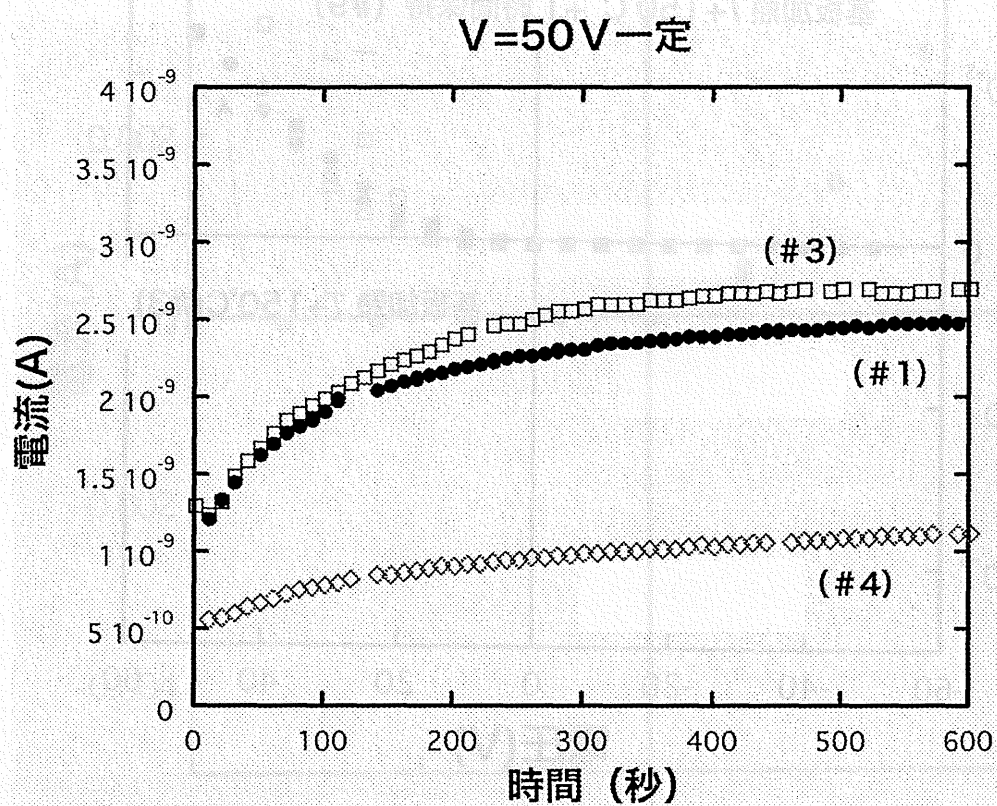


図 3.5 試料 #1, #3 および#4 における一定電圧印加時の
電流値の時間依存性

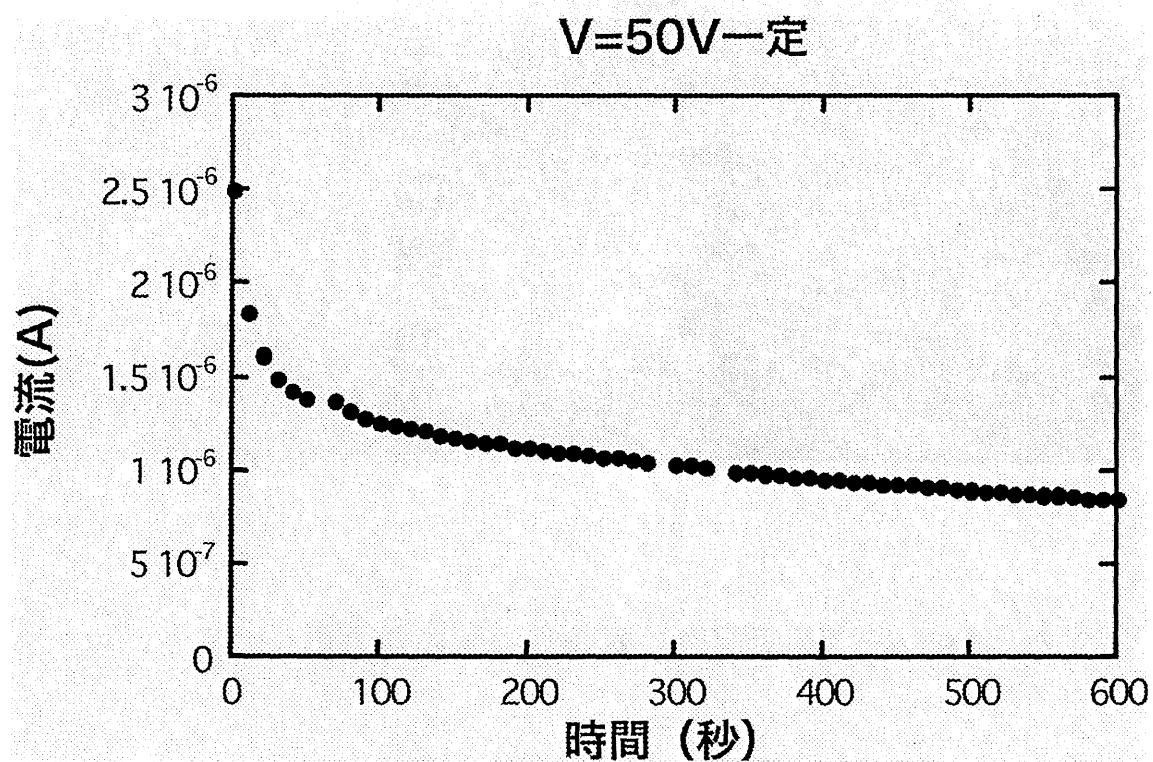


図 3.6 試料 #2 における一定電圧印加時の電流値の時間依存性

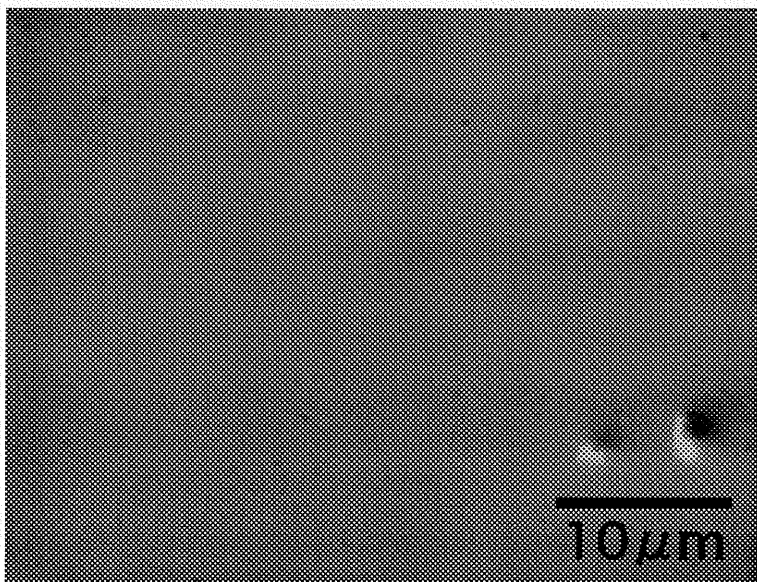


図 3.7 試料 #2 (蒸着直後) 表面の光学顕微鏡像

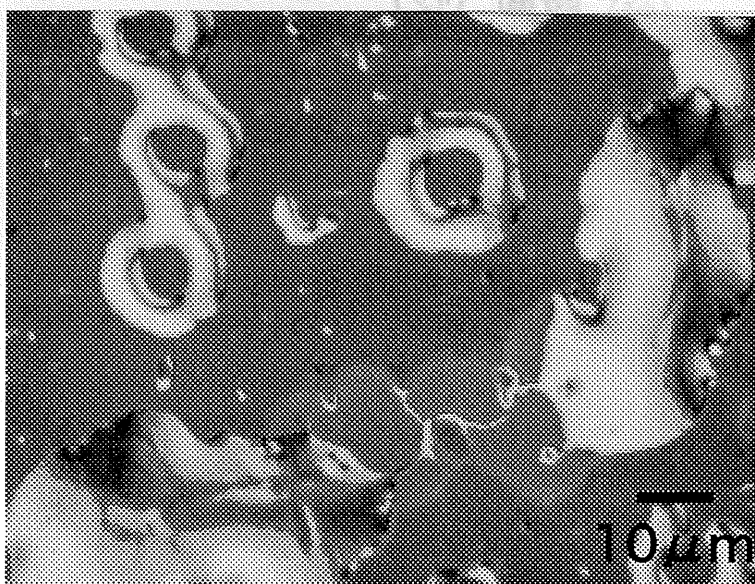


図 3.8 試料 #2 (熱処理後) 表面の光学顕微鏡像

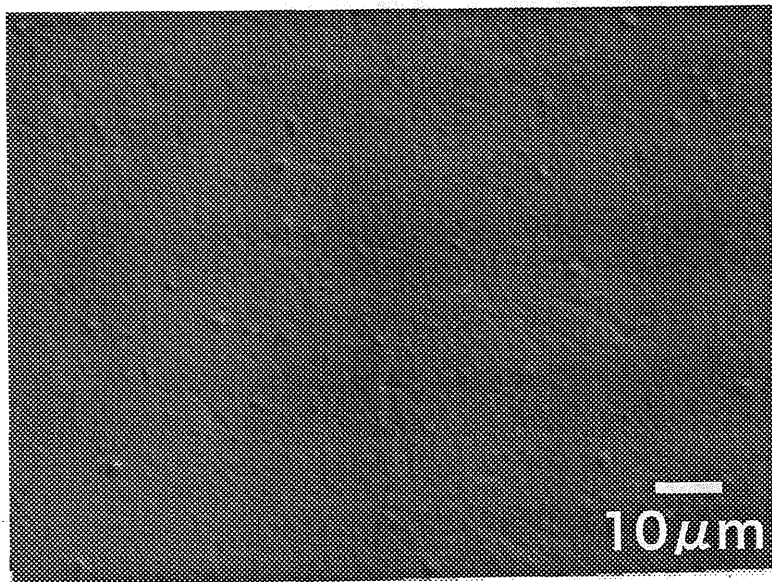


図 3.9 試料 #1 表面の光学顕微鏡像

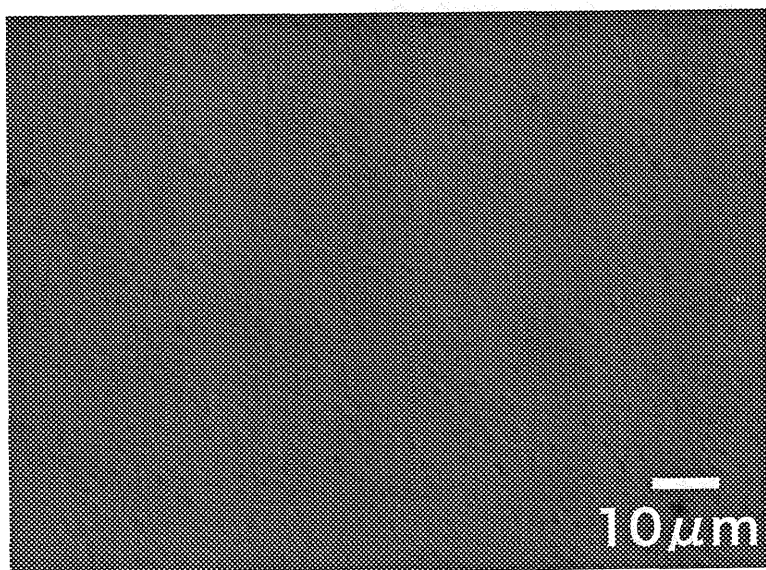


図 3.10 試料 #3 表面の光学顕微鏡像

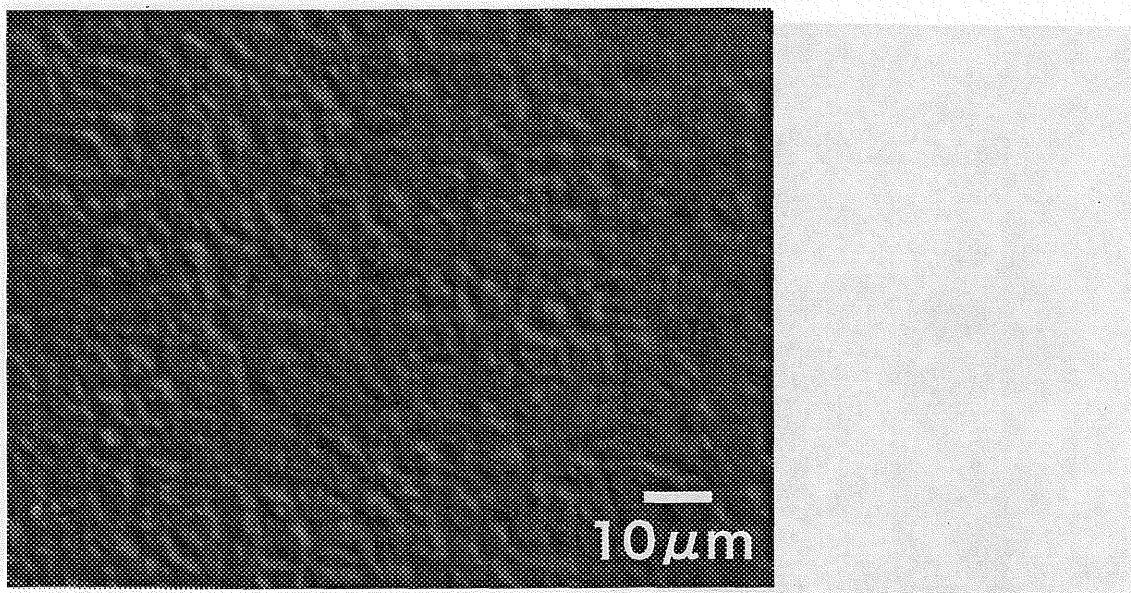


図 3.11 試料 #4 表面の光学顕微鏡像

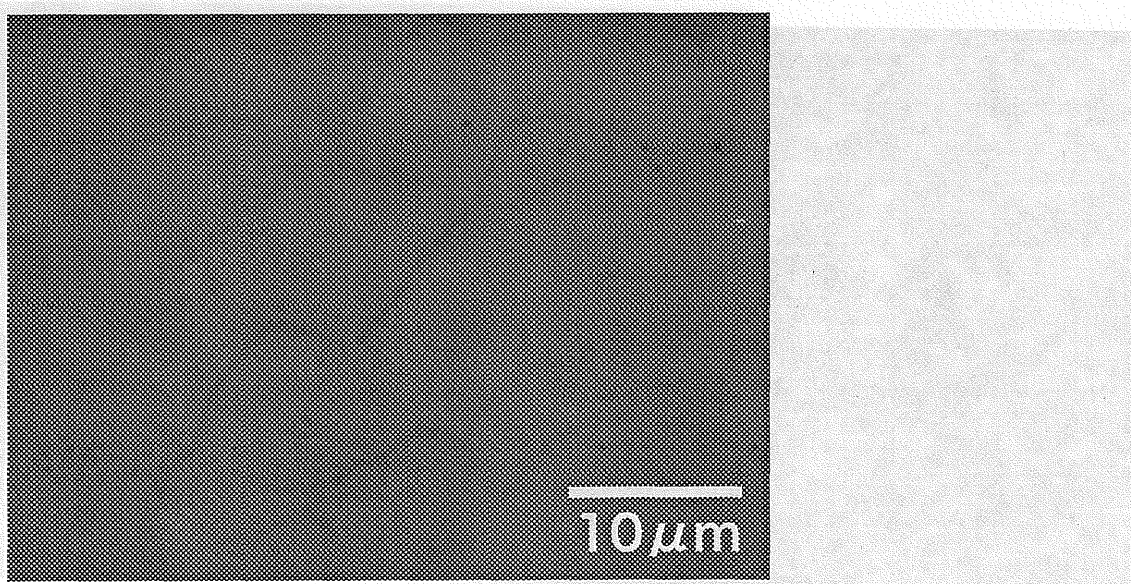


図 3.12 試料 #4 表面の光学顕微鏡像

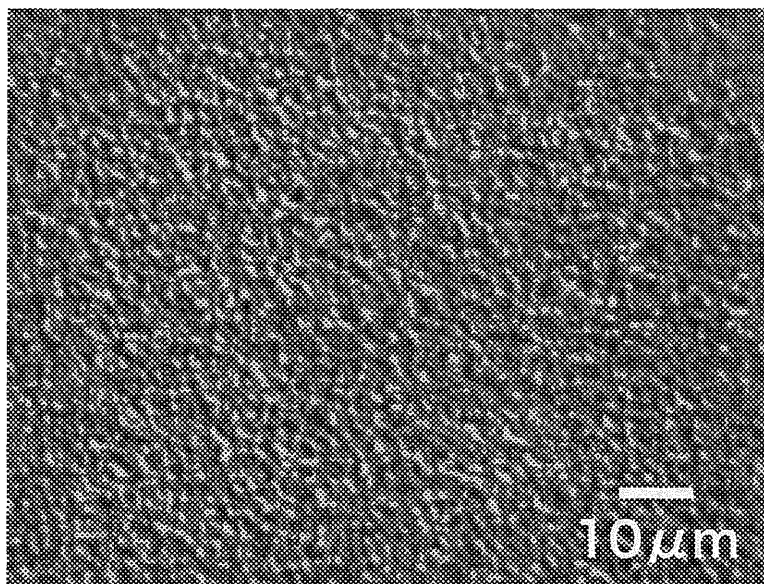


図 3.13 試料 #8 表面の光学顕微鏡像

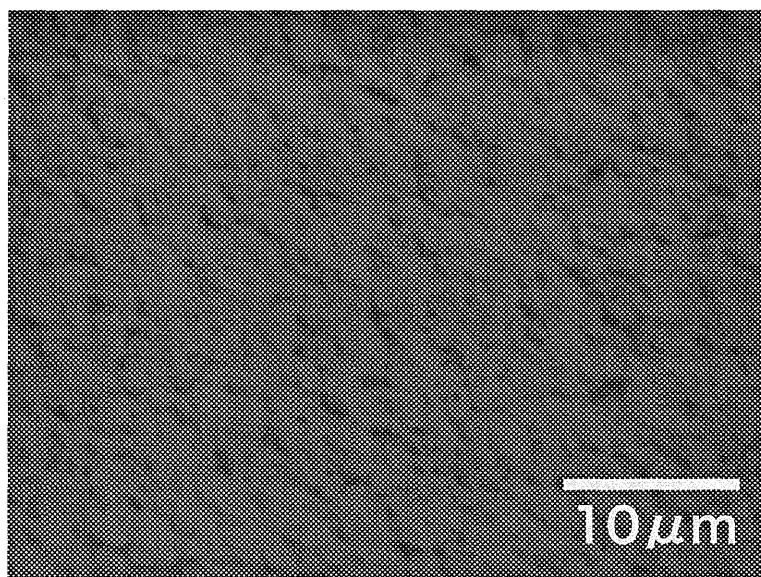


図 3.14 試料 #8 表面の光学顕微鏡像

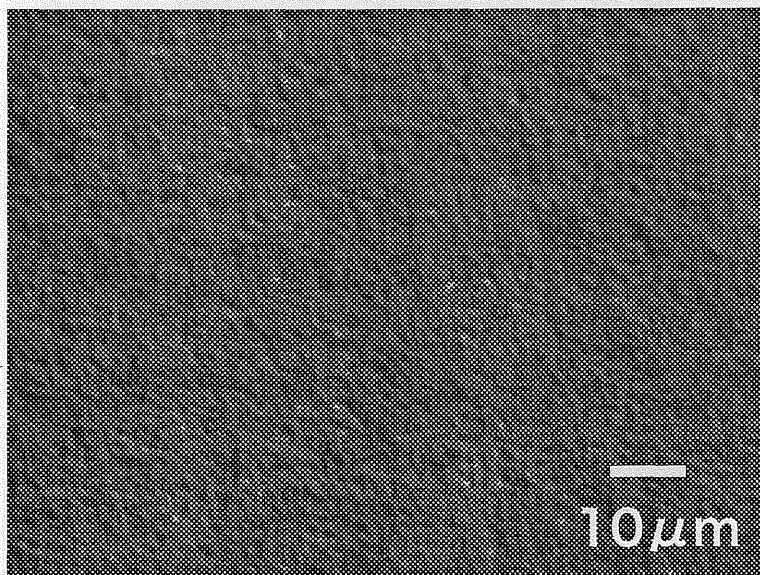


図 3.15 試料 #9 表面の光学顕微鏡像

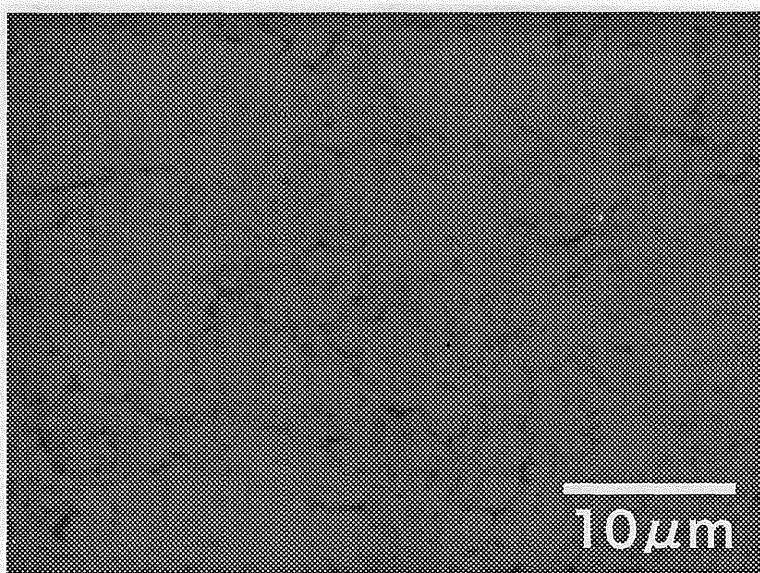


図 3.16 試料 #9 表面の光学顕微鏡像

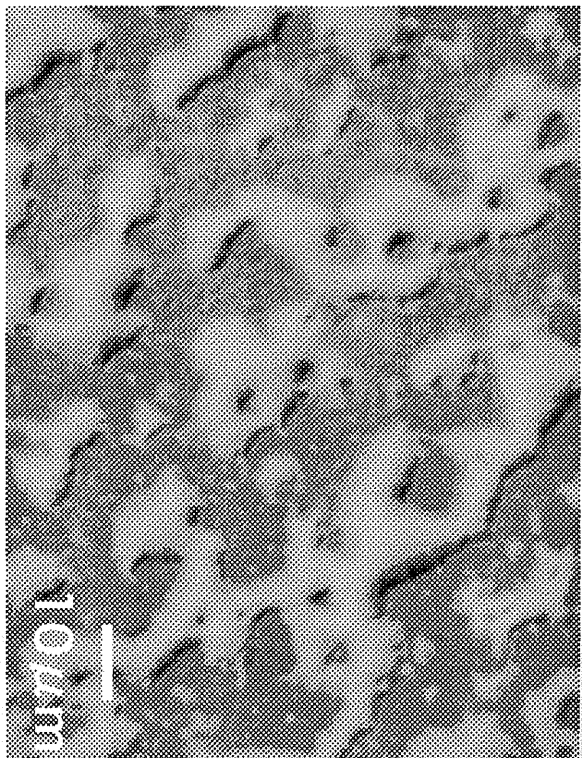


図 3.17 試料 #10 表面の光学顕微鏡像

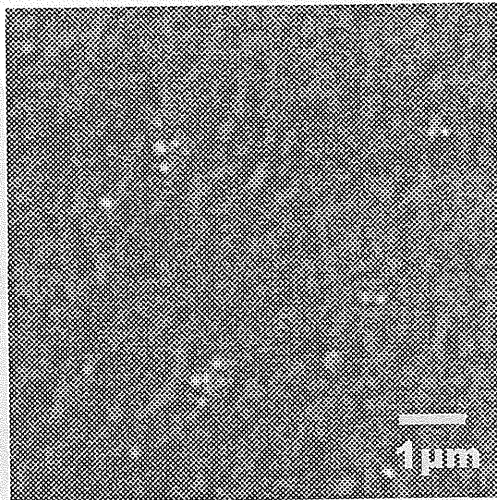


図 3.18 #3 (基板加熱 $T+150^{\circ}\text{C}$)
の SIM による表面観察結果

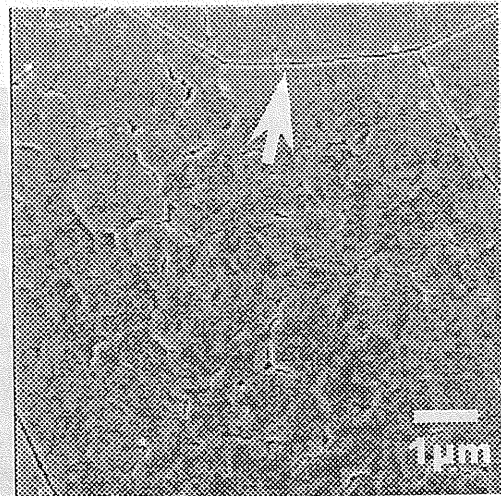


図 3.19 #4 (基板加熱 $T+200^{\circ}\text{C}$)
の SIM による表面観察結果

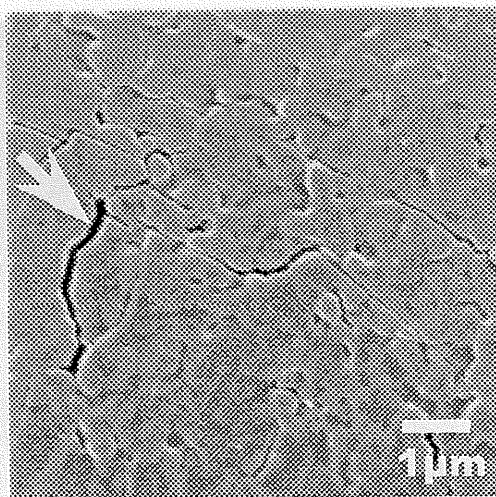


図 3.20 #9 (基板加熱 $T=150^{\circ}\text{C}+1$ 時間保持) の SIM による表面観察結果

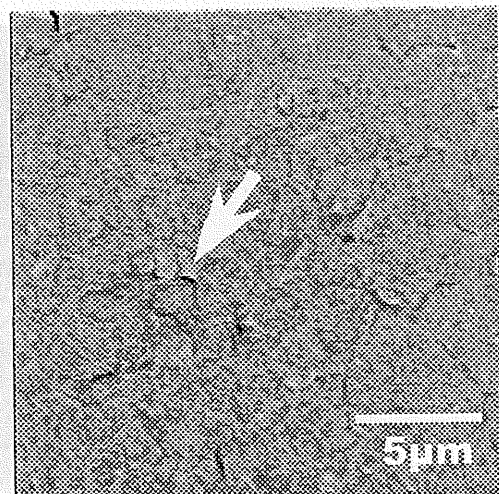


図 3.21 #8 (基板加熱 $T^{\circ}\text{C}$ +熱処理 $T+200^{\circ}\text{C}\times 2$ 時間) の SIM による表面観察結果

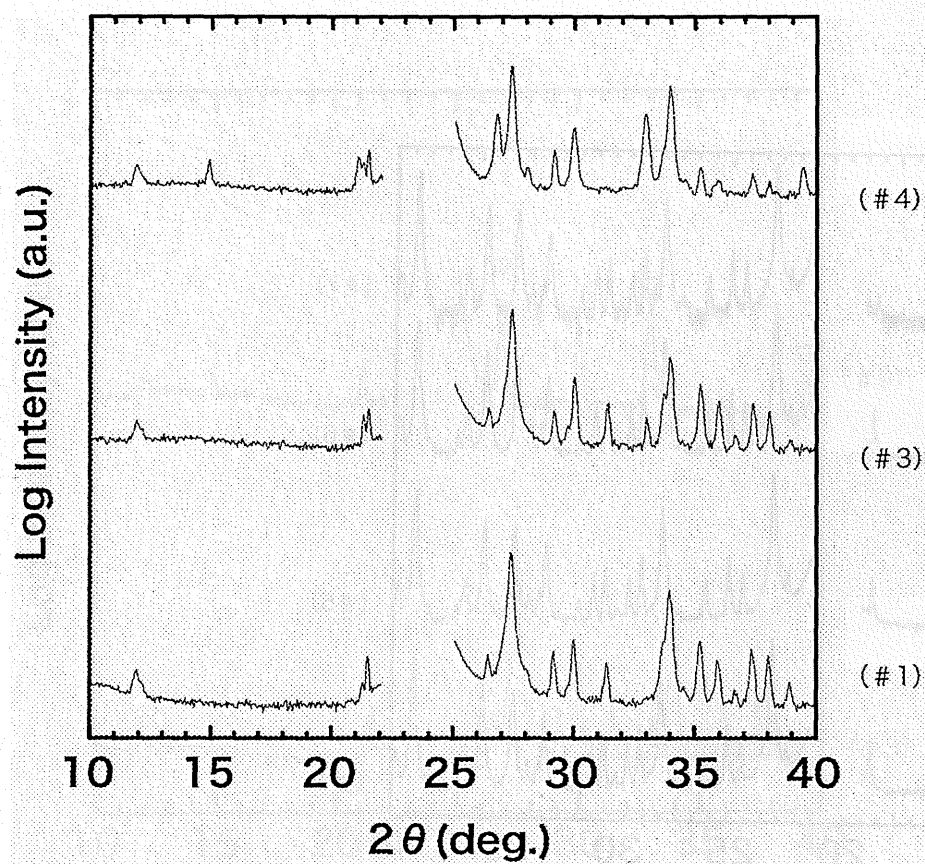


図 3.22 #1, #3, #4 の XRD 測定結果

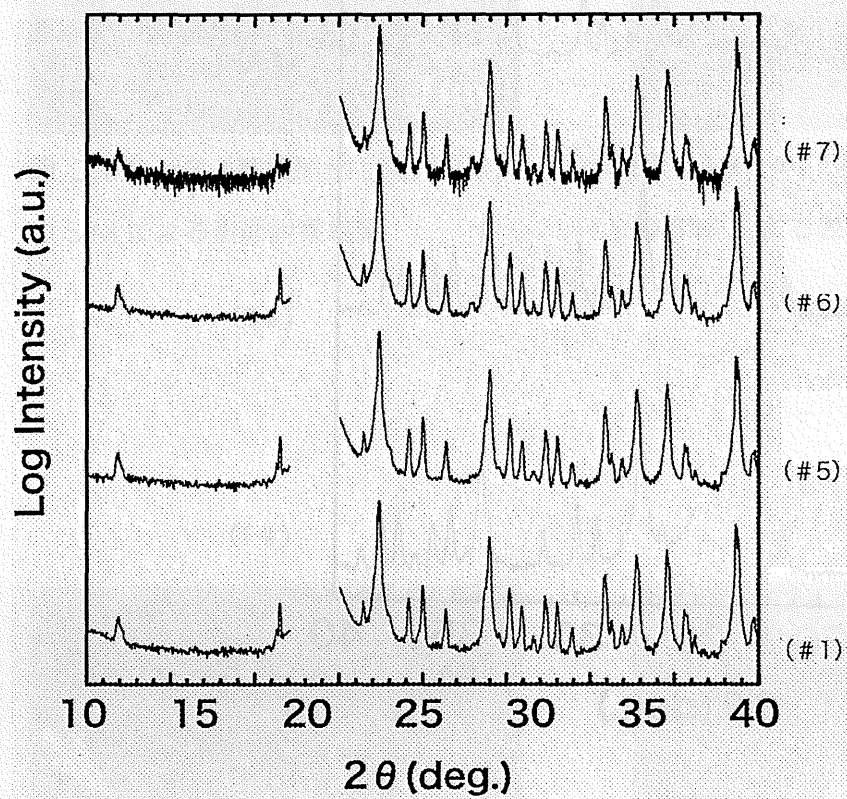


図 3.23 #1, #5, #6, #7 の XRD 測定結果

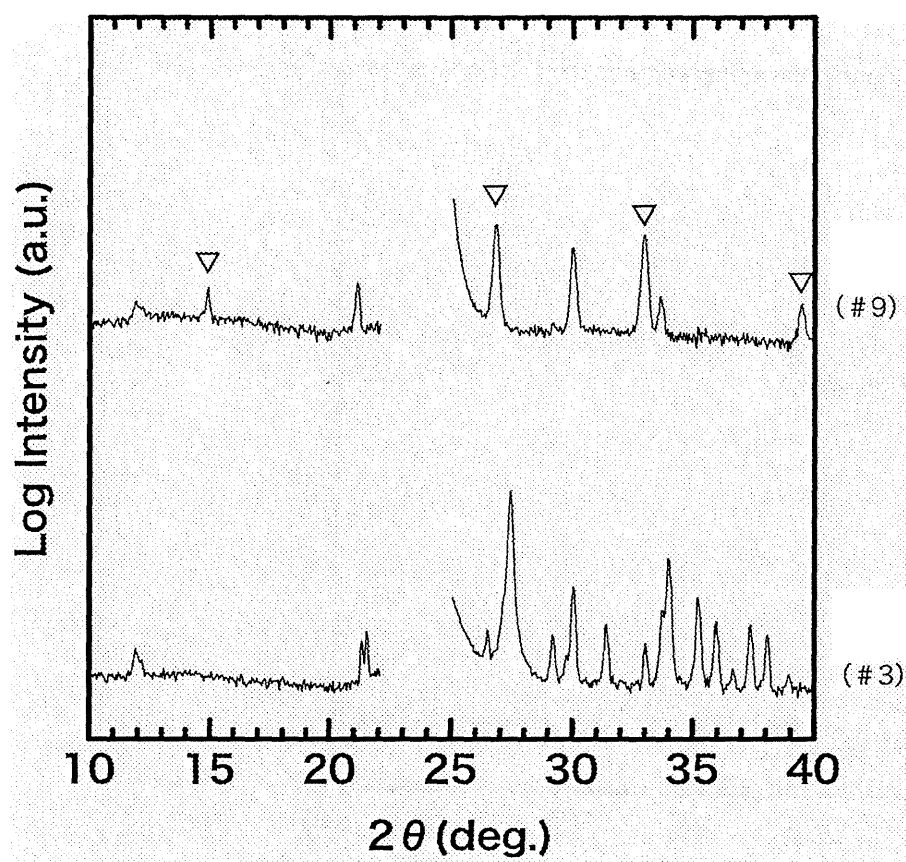


図 3.24 #3, #9, の XRD 測定結果

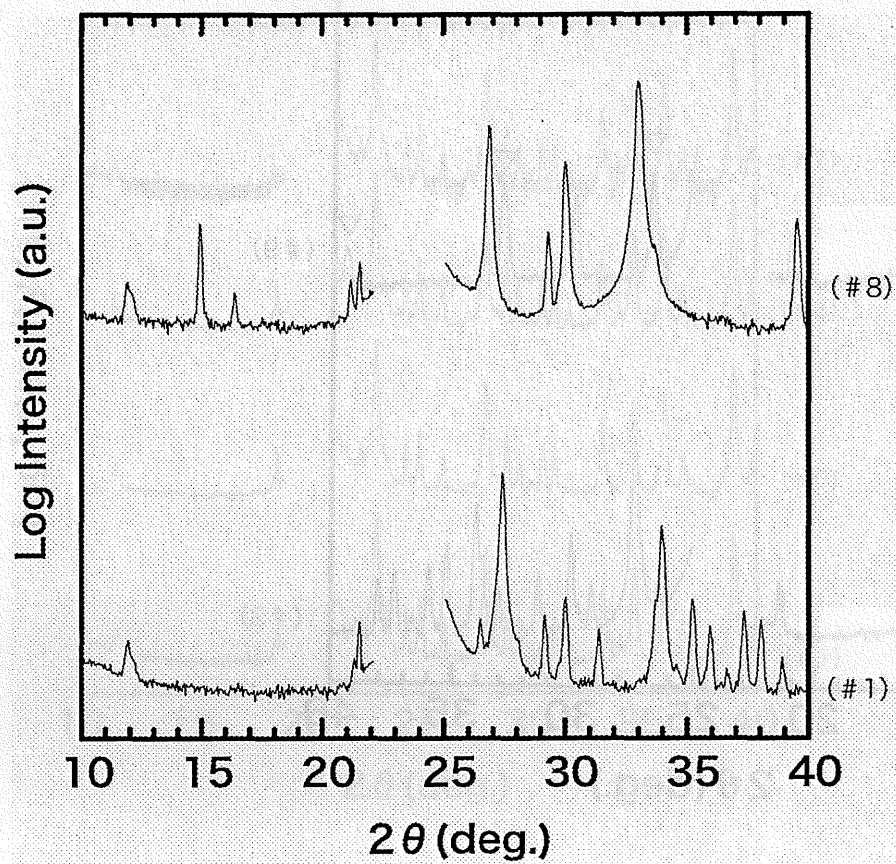


図 3.25 #1, #8 の XRD 測定結果

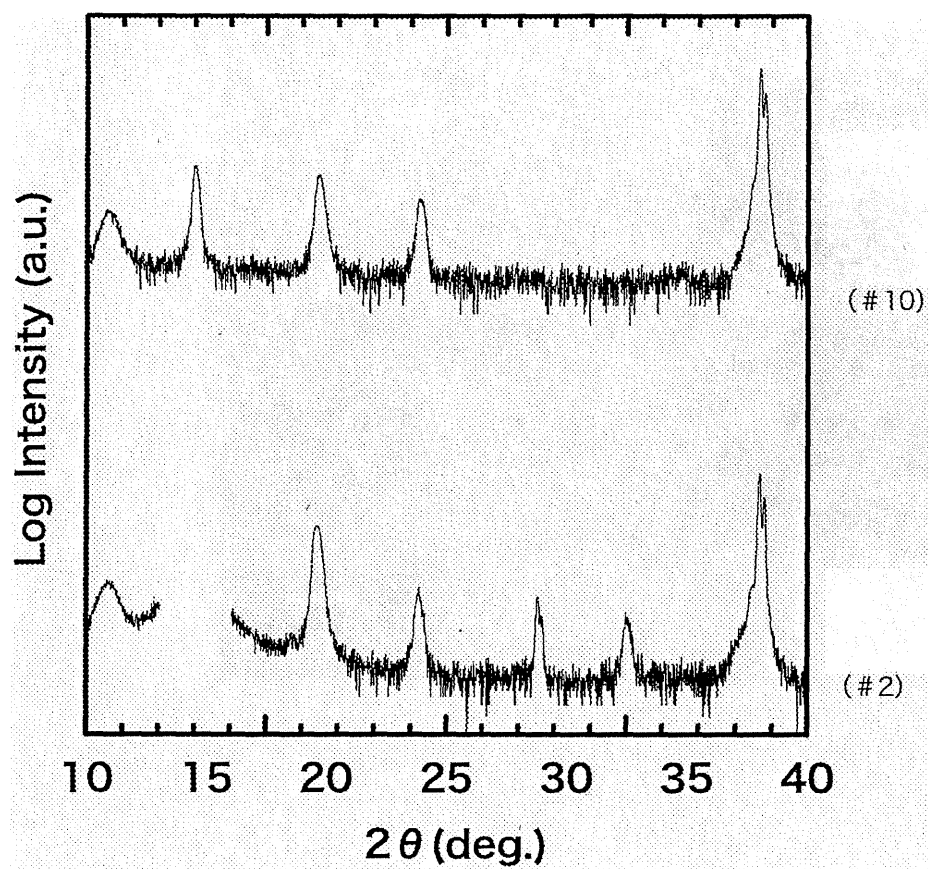


図 3.26 #2, #10 の XRD 測定結果

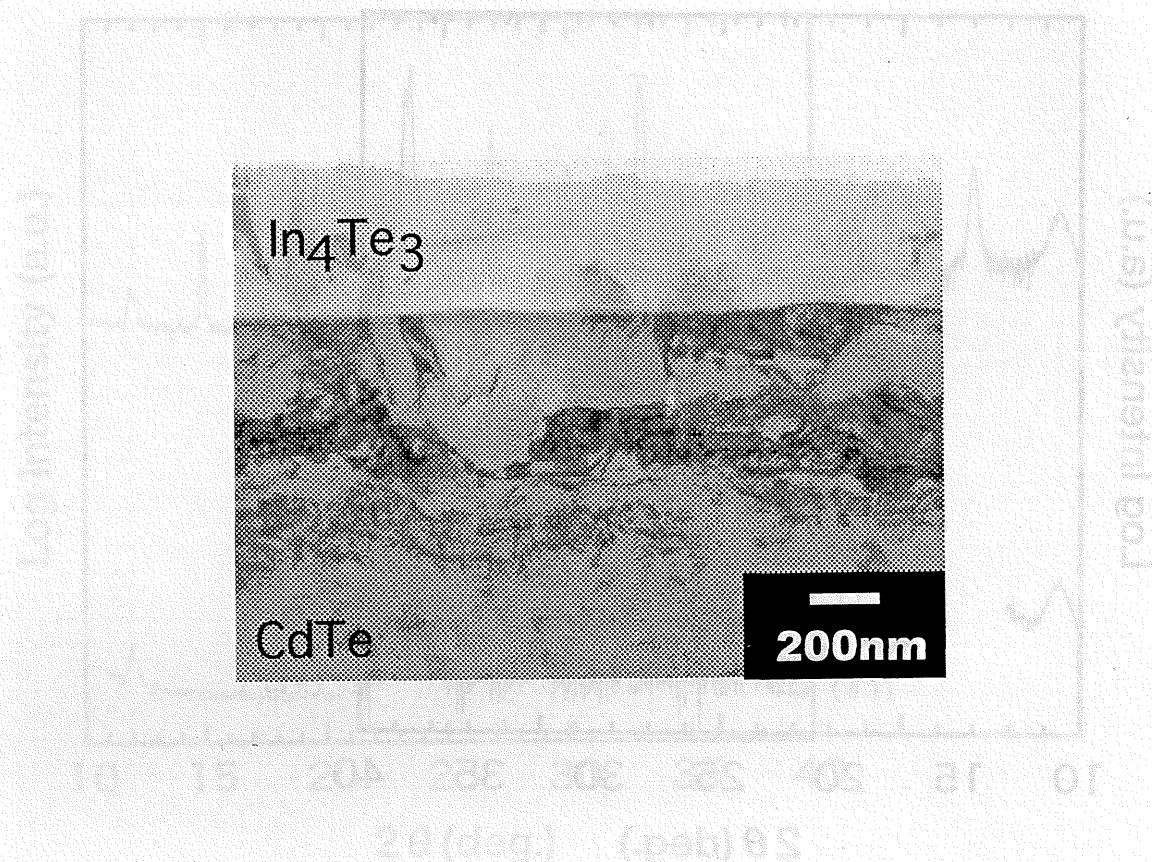


図 3.27 #1 (基板加熱 $T^{\circ}\text{C}$) の断面 TEM 像

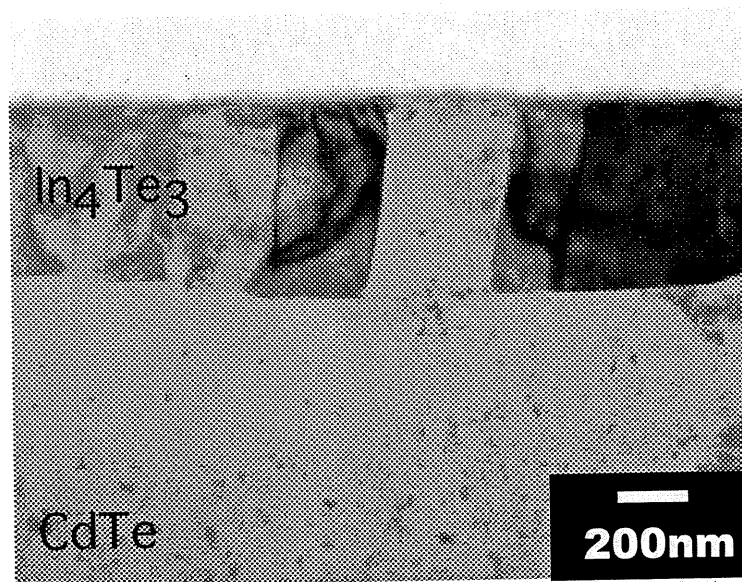


図 3.28 #3 (基板加熱 $T+150^{\circ}\text{C}$) の断面 TEM 像

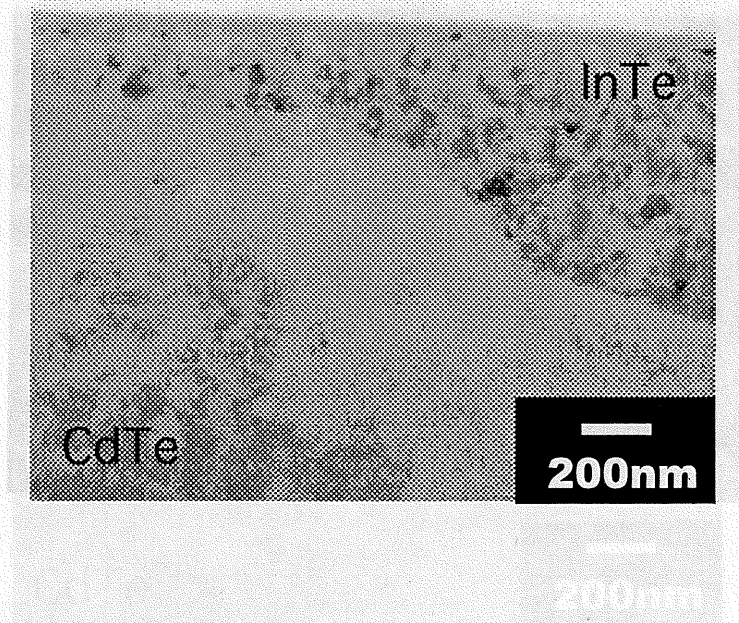


図 3.29 #5 (基板加熱 $T+200^{\circ}\text{C}$) の断面 TEM 像

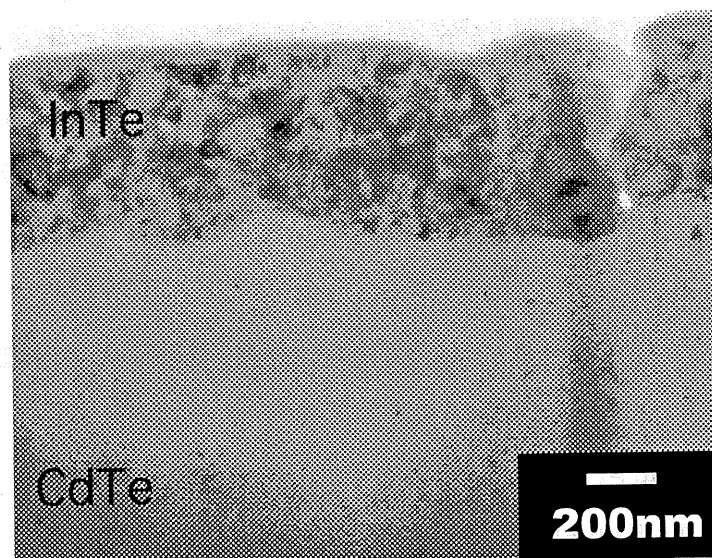


図 3.30 #9 (基板加熱 $T+150^{\circ}\text{C}$ 成膜後 $T+150^{\circ}\text{C}\times 1$ 時間熱処理)
の断面 TEM 像

第4章 考察

4-1 反応生成物と電気特性

表 3.1 に示したように, CdTe 基板を $T^{\circ}\text{C}$ から $T+150^{\circ}\text{C}$ の温度範囲に加熱し In を蒸着すると, 単体 In は残らず In_4Te_3 が生成し, $T+200^{\circ}\text{C}$ で蒸着した場合には InTe が生成していた. また $T+200^{\circ}\text{C}$ 以下の温度で成膜した試料でも $T+150^{\circ}\text{C}$ 以上の温度で熱処理を施すことにより In_4Te_3 から InTe への相変態を起こした. 一方, 液体窒素温度で蒸着した後に熱処理を施した場合には, これらの化合物の生成は認められなかった.

電気特性評価から高い温度で基板加熱蒸着した方が暗電流を抑えられる傾向があることが分かった. 第三章にも述べたように, 本実験では劣化の評価についてはアクロラド社においてのみ評価可能であったため, 当研究室で熱処理を施した試料における劣化の抑制については議論を行わなかった. しかし, アクロラド社における電気特性評価結果と本研究で得られた微細構造解析の結果を踏まえると, In_4Te_3 および InTe が生成することにより暗電流が抑えられることが結論される. また, $T+150^{\circ}\text{C}$ で蒸着するより, $T+200^{\circ}\text{C}$ 蒸着および $T+150^{\circ}\text{C}$ 蒸着後 $T+150^{\circ}\text{C}$ で 1 時間熱処理を施した試料の方が劣化を抑えられるというアクロラド社による報告を考慮すれば, InTe 電極の方が暗電流と劣化を抑制するために適した電極材であると結論される.

今回の研究では生成したこれらの半導体の伝導型や実際のバンドギャップ等の電気特性評価は行わなかったため, ショットキー電極形成機構や検出特性劣化のメカニズムに対する詳細な検討を行うには至らなかった. しかし, In_4Te_3 および InTe は半導体として振る舞うと報告されており⁽¹⁰⁾, バンドギャップはそれぞれ, 0.50eV お

よび 0.34eV という報告がある。従って、In を基板加熱状態で蒸着した検出器を論じる際には、金属/半導体界面の仕事関数によるショットキー特性もしくはオーミック特性の見地から考えるのではなく、異なる半導体が接触しているヘテロ接合の見地から検討しなければならない。考え得る可能性としては、InTe 電極材では n 型半導体が生成することによって p 型 CdTe 基板と p-n 接合を形成するためにショットキー特性が向上することが考えられる。また微細構造解析の結果を考慮すると、微細結晶粒で構成される InTe 電極では基板との界面近傍の粒界に不純物が偏析することによりフェルミ準位のピニングが起こっていることも考えられる。一方、 In_4Te_3 電極は界面の形状が直線的であり粗大結晶粒となっていたことから、基板に対しエピ成長している可能性が高い。エピ成長していた場合には、界面における格子連続性が良くバリアは低下するため、InTe に比べ電流が流れやすくなると考えられる。

従来の研究から In は CdTe に対して n 型のドーパントとして働くことが報告されている⁽¹¹⁾⁽¹²⁾。高温で長時間熱処理した試料では In が基板中に拡散し、その結果 CdTe 中のキャリアが増加する可能性も存在する。今後、電導機構のより詳細な議論をするためには以上の様々な可能性を考慮した更なる検討の必要がある。

4-2 In_4Te_3 と InTe の生成過程

本研究の結果、 In_4Te_3 と InTe の生成が検出器の性能を決める重要な因子であることが示された。 In_4Te_3 は In の融点近くの比較的低温の基板加熱蒸着により生成したが、低温で蒸着後に熱処理した場合には基板と In は濡れ性が悪く反応しにくいため In_4Te_3 は生成しなかった。このことから In_4Te_3 および InTe 電極を生成させるた

めには蒸着中に基板を加熱する必要があると結論される。In の融点は 156°C 程度であり、本研究で行った基板温度は In の融点以上の温度となっている。一般の薄膜形成では基板温度は蒸着物の融点を超えることは少なく、このような高温の基板温度における膜形成メカニズムについての議論はほとんどなされていないため、今後、このような高温の基板温度における膜形成メカニズムの解明が必要である。

基板温度 $T^{\circ}\text{C}$ で蒸着後 $T^{\circ}\text{C}$ の熱処理を施した場合には、2 時間の加熱処理後も蒸着後に生成した In_4Te_3 は安定に存在した。一方、蒸着後 $T+150^{\circ}\text{C}$ で 1 時間保持した試料および蒸着後 $T+200^{\circ}\text{C}$ で熱処理した試料では In_4Te_3 が消失し InTe への相変態が観察された。このことから $T^{\circ}\text{C}$ では In_4Te_3 が、 $T+200^{\circ}\text{C}$ では InTe が界面での安定相であると考えられる。基板温度 $T+150^{\circ}\text{C}$ で製膜した場合には最終安定相の InTe は生成せず、準安定相の In_4Te_3 が生成するが $T+150^{\circ}\text{C}$ での最終安定相は InTe であった。今回、電気特性に関する詳細な解析が不十分であったこともあり、基板温度 $T+200^{\circ}\text{C}$ 製膜による InTe 電極と $T+150^{\circ}\text{C}$ 製膜後に熱処理で形成した InTe 電極の電気特性の違いについて検討することはできなかった。仮にこれらの電極材の性能に大きな差が認められず、より低温度でのプロセスが有利であるとすれば、基板温度 $T^{\circ}\text{C}$ で In_4Te_3 を生成した後 $T+150^{\circ}\text{C}$ の熱処理で InTe を生成させるプロセスが有利であると考えられる。より熱処理温度の低減が必要である場合には、In-Te ターゲットを用いたスパッタリング法による InTe 成膜法が有利である。ただしスパッタ法では基板へのダメージ等の二次的な問題も発生することが予想されるため、実験的な検討が不可欠である。

本研究で得られた結果は、CdTe 半導体基板に対する電極材開発において、電極材と基板の反応を利用することによって、より高性能の電極材が得られる可能性を示唆している。今後は、In-Te 電極

第5章 結論

本研究では、CdTe 半導体放射線検出器の性能向上を実現するために、In ショットキー電極材の微細構造と電気特性について実験的に検討した。基板加熱を行い In 電極材を真空蒸着することで、In と CdTe 基板の反応を促進させることが確認された。反応生成物は InTe および In_4Te_3 であり、InTe はより高温領域で安定に存在した。 In_4Te_3 は基板に対し一定の方位関係をもち、比較的結晶粒径の大きい構造であるのに対し、InTe は粒径数十 nm 程度のランダムに配向した微細粒から構成されていた。電気特性評価結果より、暗電流抑制および検出感度劣化抑制のためには、InTe 電極を形成させることが不可欠であることが明らかとなった。

本研究では、InTe が界面での安定相であると考えられる。基板温度 $T=150^\circ\text{C}$ で製膜した場合には最終安定相の InTe は生成せず、準安定相の In_4Te_3 が生成するが $T=150^\circ\text{C}$ での最終安定相は InTe であった。今回、電気特性に関する詳細な解析が不十分であったこともあり、基板温度 $T=200^\circ\text{C}$ 製膜による InTe 電極と $T=150^\circ\text{C}$ 製膜後に熱処理で形成した InTe 電極の電気特性の違いについて検討することはできなかった。仮にこれらの電極材の性能に大きな差が認められず、より低温度でのプロセスが有利であるとすれば、基板温度 $T^\circ\text{C}$ で In_4Te_3 を生成した後 $T=150^\circ\text{C}$ の熱処理で InTe を生成させるプロセスが有利であると考えられる。より熱処理温度の低減が必要である場合には、In-Te ターゲットを用いたスパッタリング法による InTe 成膜法が有利である。ただしスパッタ法では基板へのダメージ等の二次的な問題も発生することが予想されるため、実験的な検討が不可欠である。

本研究で得られた結果は、CdTe 半導体基板に対する電極材開発において、電極材と基板の反応を利用することによってより高性能の電極材が得られる可能性を示唆している。今後は、In-Te 電極

参考文献

1. J. W. Price, 放射線計測, コロナ社 (1966)
2. Y. Eisen and A. Shor, J. Cryst. Growth **184** 1302 (1998)
3. M. Funaki, T. Ozaki, K. Sato, and R. Ohno, Nucl. Instrum. Methods A **436** 120 (1999)
4. 松波弘之, 半導体工学, 昭晃堂 (1983)
5. T. Takahashi et al., Nucl. Instrum. Methods A **436** 111 (1999)
6. H. B. Serreze, G. Entine, R. O. Bell, F. V. Wald, IEEE Trans. Nucl. Sci. **NS-21** 159 (1974)
7. H. L. Malm, M. Martini, IEEE Trans. Nucl. Sci. **NS-21** 322 (1974)
8. R. O. Bell, G. Entine, H. B. Serreze, Nucl. Instrum. Methods A **117** 267 (1974)
9. H. J. Kim, M. Murakami, W. H. Price, M. Norcott, J. Appl. Phys. **67** 4183 (1990)
10. O. Madelung(Ed.), Semiconductors-Basic Data, Springer (1996)
11. T. Sato et al., IEEE Trans. Nucl. Sci. **42** 1513 (1995)
12. V. Lyahovitskaya. et al., J. Cryst. Growth **197** 106 (1999)

- 53

Development of highly reliable Schottky In contacts on p-type CdTe for radiation detectors

M. Moriyama, M. Kunisu, R. Ohno and Masanori Murakami

Kyoto University, Japan

Cadmium telluride (CdTe) is an attractive semiconductor material for X-ray and γ -ray radiation detectors. The advantages of CdTe are that it has a large bandgap energy ($\sim 1.6\text{eV}$) and a high average atomic number ($Z_{\text{CdTe}}=50$). However, due to the low mobility and short lifetime of holes in CdTe, a considerable amount of charge loss causes reduction of energy resolution in the detector. For a complete charge collection, very high bias voltage must be applied in the CdTe detectors. Thus, Schottky contacts, which provide very low leakage current with a high bias voltage, are required to achieve high resolution in CdTe detectors. Although the conventional approach to fabricate Schottky contacts for p-type CdTe involves the use of metals with low work function, such as indium (In), the time-dependent degradation of detection performance during device operation, known as "polarization effect", is often observed in the CdTe detectors with Schottky contacts. In order to apply CdTe to practical radiation detector, highly stable Schottky contacts with low leakage current must be developed.

The purpose of the present study is twofold. The first is to develop of highly reliable Schottky In contacts for CdTe radiation detectors. The second is to understand the Schottky In contact formation mechanism by analyzing interfacial microstructure of the In films which were deposited at various substrate temperatures using X-ray diffraction (XRD) and

transmission electron microscopy (TEM). These studies will provide us a guideline for developing Schottky contacts for p-type CdTe which would be used in the radiation detectors. The wafers used in this study were Cl-doped CdTe single crystals with (111) orientation. The resistivity of the CdTe was about $1\sim 2 \times 10^9 \Omega\text{cm}$. Prior to contact depositions, the surface of the CdTe was chemically cleaned. Then, In films (300nm) were evaporated on Te-face of CdTe substrates. The substrate temperatures (T_s) were changed from room temperature to 400°C. After the In deposition, Pt contact was formed on the opposite surface of the wafer by electroless plating. The leakage current in the dark was measured at room temperature. The current-voltage characteristics and the performance for the radiation detectors were also measured. XRD and cross-sectional TEM were used for microstructural analysis.

The thermal treatment of the CdTe during the depositions of In remarkably decreased the leakage current and improved its stability. XRD analysis showed that In atoms reacted with CdTe forming In_4Te_3 or InTe during the depositions with $T_s > 200^\circ\text{C}$. The InTe contacts, which were prepared by the depositions with rather high T_s , drastically improved the stability of the detection performance. TEM observations revealed that the leakage current and the stability of the CdTe radiation detectors were strongly correlated with the microstructure of contact/CdTe interfaces.

金属・半導体界面反応層の微細構造と電気特性

Correlation between Interfacial Microstructure and Electrical Properties at Metal/Semiconductor Interface

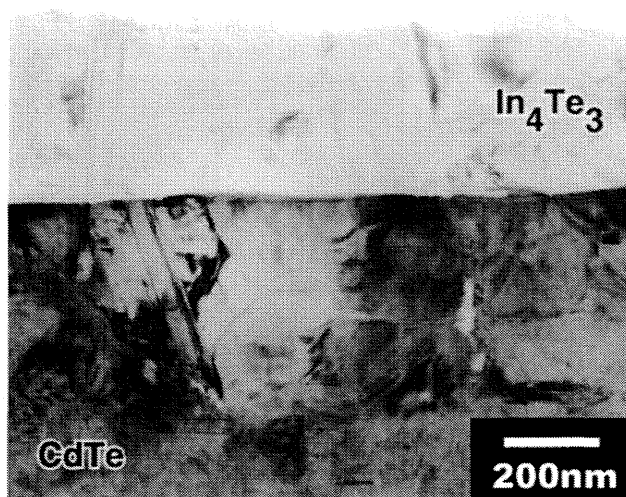


Fig. 1 Cross-sectional TEM image of CdTe/In interface of as-deposited sample.

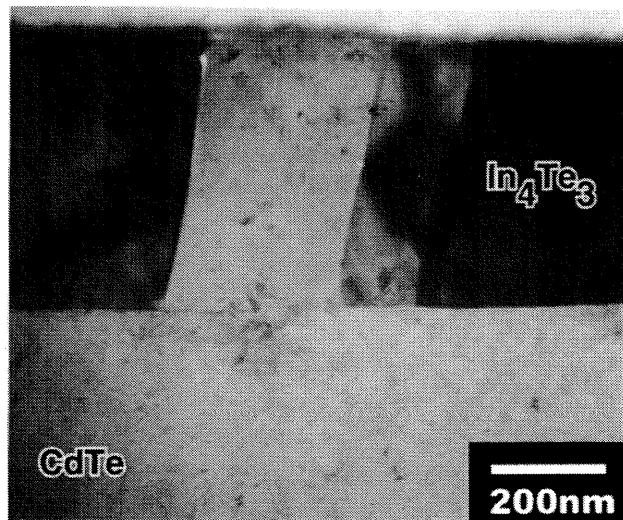


Fig. 2 Cross-sectional TEM image of CdTe/In contact of the sample with unstable electrical properties.

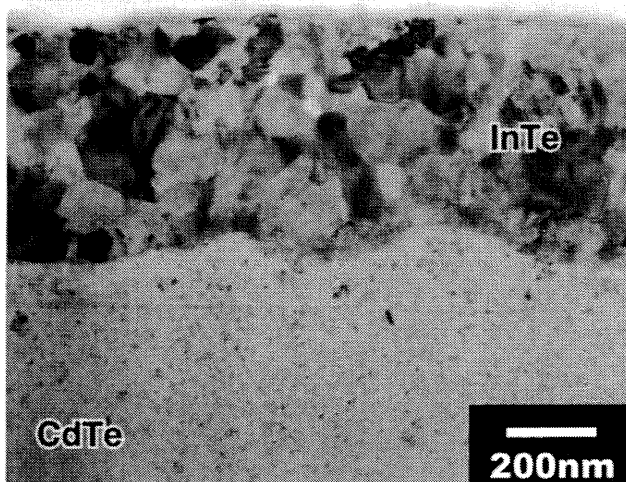


Fig. 3 Cross-sectional TEM image of CdTe/In contact of the sample with excellent electrical properties.

試料 CdTe/In.

目的 CdTe 半導体放射線検出器用 In ショットキー電極材の性能改善を図るため、基板温度を In の融点以上に加熱して蒸着した電極材の検出特性⁽¹⁾と微細構造の関係を調べた。

試料処理 CdTe 単結晶基板を In の融点近傍の温度 T_0 [K] から T_0+200 [K] の種々の温度に加熱し、In を真空蒸着した。

試料作製 集束イオンビーム装置を用いた薄膜作製：試料表面の保護のためカーボン薄膜を電極材表面に

成膜した後、加速電圧 30 kV の Ga イオンビームにより厚さ 70 nm ~ 100 nm の薄膜試料を作製した。切断した試料片を、コロジオン膜を張った Cu メッシュ上に固定し、試料断面の TEM 観察を行った。

撮影 JEOL JEM-4000EX, 400 kV (明視野像)。

解説 基板温度 T_0 [K] で In を蒸着すると、成膜中に基板と In の反応が起こり蒸着膜および蒸着膜/基板界面近傍に In_4Te_3 が形成される (Fig. 1)。基板温度 T_0+150 [K] で蒸着した電極材は、粒径数百 nm 程度の In_4Te_3 柱状結晶粒となる (Fig. 2)。 In_4Te_3 電極材は、基板温度の増加に伴いショットキー特性が向上するが、従来の In 電極材と同様に放射線入射後に検出特性が劣化する問題があるため実用には適さない。しかし、基板温度 T_0+200 [K] で成膜した電極材では粒径数十 nm 程度の微細 InTe 粒が生成し、同電極材では検出特性の劣化が大幅に改善された (Fig. 3)。製造プロセスでは熱処理温度の低減が要求されるが、微細 InTe 粒電極材は In_4Te_3 電極材に T_0+150 [K] で 3600[s] の熱処理を施すことにより形成可能であり、これにより CdTe 放射線検出器の実用化を満足する高性能電極材を得ることに成功した。

(1) T. Ozaki, Y. Iwase, H. Takamura and M. Ohmori: Nucl. Instr. and Meth. A, **380**(1996), 141-144.

(守山実希 村上正紀 喜屋武篤史 大野良一)